

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003-257183

(P2003-257183A)

(43)公開日 平成15年9月12日(2003.9.12)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
G 1 1 C 11/41		G 0 6 T 7/20	B 5 B 0 1 5
G 0 6 T 7/20		H 0 3 M 7/36	5 C 0 5 9
G 1 1 C 11/418		G 1 1 C 11/34	K 5 J 0 6 4
H 0 3 M 7/36			3 4 6 5 L 0 9 6
H 0 4 N 7/32		H 0 4 N 7/137	Z
審査請求 未請求 請求項の数7 OL (全 17 頁) 最終頁に続く			

(21)出願番号 特願2002-52022X(P2002-52022)

(22)出願日 平成14年2月27日(2002.2.27)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 近藤 哲二郎

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 市川 勉

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 100090376

弁理士 山口 邦夫 (外1名)

最終頁に続く

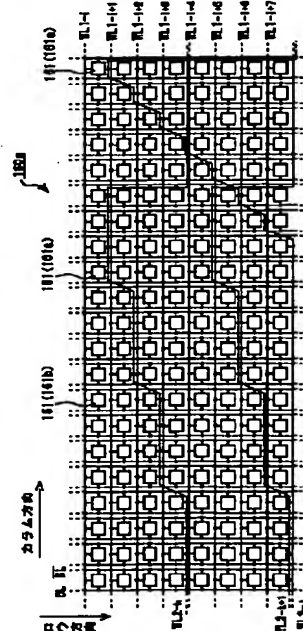
(54)【発明の名称】 メモリセル回路、メモリ装置および動きベクトル検出装置

(57)【要約】

【課題】複数階層の画像データを用いて動きベクトルを検出するものにおいて、動きベクトルの検出処理の効率を上げる。

【解決手段】複数階層の画像データを同一のメモリブロックに記憶する。メモリセルアレイの一部160aには、階層1~3の夫々16画素、4画素、1画素の画像データ(夫々8ビットデータ)を記憶する。各行の21個のメモリセル161は、5個の第1のメモリセル161aと、16個の第2のメモリセル161bとからなる。16個のメモリセル161bには、階層1の2画素分の画像データを記憶する。5個のメモリセル161aには、階層2、階層3の画像データの夫々4ビット、1ビットを記憶する。列方向に並ぶメモリセル161a、メモリセル161bをワード線WL1で活性化する。複数の行にわたるメモリセル161aを、階段状パターンに配されたワード線WL2、WL3で同時に活性化する。

メモリブロック内のメモリセルアレイの一部



【特許請求の範囲】

【請求項1】 “1”または“0”のデータを記憶するメモリセル部と、

上記メモリセル部をビット線にそれぞれ接続する並列接続された複数のアクセストランジスタとを備えることを特徴とするメモリセル回路。

【請求項2】 第1のメモリセルと第2のメモリセルとが混在してマトリックス状に配され、

上記第1のメモリセルは第1のワード線および第2のワード線にそれぞれ接続され、

上記第2のメモリセルは上記第1のワード線のみ接続され、

上記第1のワード線は上記マトリックスの列方向に延在するように配され、

上記第2のワード線は上記マトリックスの複数の行にわたる階段状パターンで配されることを特徴とするメモリ装置。

【請求項3】 上記第2のワード線の上記階段状のパターンは、上記マトリックスの列方向の所定数のメモリセル単位で繰り返されることを特徴とする請求項2に記載のメモリ装置。

【請求項4】 上記階段状パターンをそれぞれ異にする複数の上記第2のワード線が併存することを特徴とする請求項2に記載のメモリ装置。

【請求項5】 上記複数の第2のワード線にそれぞれ接続される上記第1のメモリセルは異なることを特徴とする請求項4に記載のメモリ装置。

【請求項6】 入力画像データより解像度の異なる複数の階層の画像データを形成する画像階層化手段と、上記画像階層化手段で形成された上記複数階層の画像データに基づいて、上記入力画像の所定位置の動きベクトルを、ブロックマッチング処理を用いて検出する動きベクトル検出手段とを備える動きベクトル検出装置であって、上記複数階層の画像データを記憶するメモリ部を有し、上記メモリ部は、

第1のメモリセルと第2のメモリセルとが混在してマトリックス状に配され、

上記第1のメモリセルは第1のワード線および第2のワード線にそれぞれ接続され、

上記第2のメモリセルは上記第1のワード線のみ接続され、

上記第1のワード線は上記マトリックスの列方向に延在するように配され、

上記第2のワード線は上記マトリックスの複数の行にわたる階段状パターンで配され、

上記複数階層の画像データのうち最下位階層の画像データは上記第2のメモリセルに記憶され、上記複数階層の画像データのうち上記最下位階層以外の階層の画像データは上記第1のメモリセルに記憶されることを特徴とする動きベクトル検出装置。

【請求項7】 上記階段状パターンをそれぞれ異にする複数の上記第2のワード線が併存し、

上記複数の第2のワード線にそれぞれ接続される上記第1のメモリセルは異なり、

上記複数の第2のワード線にそれぞれ接続される上記第1のメモリセルには、異なる階層の画像データが記憶されることを特徴とする請求項6に記載の動きベクトル検出装置。

【発明の詳細な説明】

10 【0001】

【発明の属する技術分野】この発明は、メモリセル回路、メモリ装置および動きベクトル検出装置に関する。詳しくは、この発明は、“1”または“0”のデータを記憶するメモリセル部をビット線に接続するためのアクセストランジスタを複数個並列に接続することによって、当該メモリセル部の選択を複数のワード線のいずれかを用いて行い得るようにしたメモリセル回路に係るものである。

【0002】また詳しくは、この発明は、第1のワード線および第2のワード線にそれぞれ接続された第1のメモリセルと第1のワード線のみ接続された第2のメモリセルとがマトリックス状に配され、第1のワード線はマトリックスの列方向に延在するように配され、第2のワード線はマトリックスの複数の行にわたる階段状パターンで配される構成とすることによって、マトリックスの複数の行にわたる第1のメモリセルのみを第2のワード線によって同時に活性化して記憶データの書き込み読み出しを行い得るようにしたメモリ装置に係るものである。

【0003】また、詳しくは、入力画像データより解像度の異なる複数階層の画像データを形成し、この複数階層の画像データを使用して入力画像の所定位置の動きベクトルを検出するものにあつて、複数階層の画像データを記憶するメモリ部として上述の記憶装置を使用し、複数階層の画像データのうち最下位階層の画像データを第2のメモリセルに記憶し、複数階層の画像データのうち最下位階層以外の階層の画像データを第1のメモリセルに記憶する構成とすることによって、メモリ部に対して各階層の画像データを独立して書き込み読み出しを行い得るようにし、動きベクトルの検出処理の効率を上げるようにした動きベクトル検出装置に係るものである。

【0004】

【従来の技術】従来、動画画像の処理として、動きベクトル、すなわち時間的に異なる画像中の物体の動き方向と大きさを用いるものがある。例えば画像の高エネルギー符号化における動き補償予測符号化に動きベクトルが用いられる。

【0005】この画像の動き量を求める動き量検出方法として、演算量を低減するために、入力画像データより解像度の異なる複数階層の画像データを形成し、この複

数階層の画像データを使用して入力画像の所定位置の動きベクトルを検出する方法が提案されている（特開平7-222157号参照）。

【0006】この動きベクトル検出方法では、まず入力画像データ（階層1の画像データ）を、平均化やローパスフィルタ処理等で平均値階層化して、画素数を低減した画像データ（階層2の画像データ）を作成する。次に作成した階層2の画像データで大まかな動きベクトルを検出し、その動きベクトルに基づいて階層1の画像データについて細かな動きベクトルの検出を行うことにより、少ない演算量で動きベクトルを検出し得るようになっている。

【0007】なおここでの階層数は2階層に限らず、順次平均値階層化を繰り返すことにより、さらに画素数を低減した階層3、階層4、……の画像データを作成し、上述したと同様にして動きベクトルを検出することもできる。

【0008】

【発明が解決しようとする課題】この場合、各階層の画像データを同一のメモリ部に記憶する場合、各階層の書き込み、読み出しを独立して行うことができれば効率的である。この発明の目的は、各階層の画像データを用いて動きベクトルを検出するものにあつて、当該各階層の画像データをメモリ部に対して独立して書き込み、読み出しを行い得るようにして、動きベクトルの検出処理の効率を上げるようにした動きベクトル検出装置およびそれに使用されるメモリ装置、メモリセル回路を提供することにある。

【0009】

【課題を解決するための手段】この発明に係るメモリセル回路は、“1”または“0”のデータを記憶するメモリセル部と、このメモリセル部をビット線にそれぞれ接続する並列接続された複数個のアクセストランジスタとを備えるものである。

【0010】この発明においては、複数のアクセストランジスタのゲートをそれぞれ別個のワード線に接続できる。そのため、このメモリセル部の選択を複数のワード線のいずれかを使用して行うことができる。

【0011】また、この発明に係るメモリ装置は、第1のメモリセルと第2のメモリセルとが混在してマトリクス状に配され、第1のメモリセルは第1のワード線および第2のワード線にそれぞれ接続され、第2のメモリセルは第1のワード線のみに接続され、第1のワード線はマトリクスの列方向に延在するように配され、第2のワード線はマトリクスの複数の行にわたる階段状パターンで配されるものである。

【0012】この発明においては、第1のメモリセルと第2のメモリセルとが混在してマトリクス状に配されている。ここで、第1のメモリセルは、第1のワード線および第2のワード線にそれぞれ接続されている。第2

のメモリセルは第1のワード線のみに接続されている。

【0013】第1のワード線はマトリクスの列方向に延在するように配されている。そのため、この第1のワード線によっては、列方向に並ぶメモリセル（第1のメモリセルおよび第2のメモリセル）を選択的に活性化できる。また、第2のワード線は、マトリクスの複数の行にわたる階段状パターンで配されている。そのため、この第2のワード線によっては、マトリクスの複数の行にわたる第1のメモリセルのみを選択的に活性化できる。

【0014】したがって、マトリクスの複数の行にわたる第1のメモリセルのみを第2のワード線によって同時に活性化して、記憶データの書き込み読み出しを行うことが可能となる。

【0015】ここで、第2のワード線の階段状パターンが、マトリクスの列方向の所定数のメモリセル単位で繰り返されることで、マトリクスの列方向の所定数のメモリセル単位で複数の行にわたって配されることが繰り返された第1のメモリセルを第2のワード線で同時に活性化して、記憶データの書き込み読み出しを行うことができる。

【0016】また、階段状パターンをそれぞれ異にする複数の第2のワード線が併存するようにすることで各第2のワード線では、それぞれ異なる階段状パターンでマトリクスの複数の行にわたって配された第1のメモリセルを同時に活性化できる。その場合、複数の第2のワード線にそれぞれ接続される第1のメモリセルを異なるものとすることで、各第2のワード線ではそれぞれ別個の第1のメモリセルを活性化できる。

【0017】またこの発明に係る動きベクトル検出装置は、入力画像データより解像度の異なる複数階層の画像データを形成する画像階層化手段と、この画像階層化手段で形成された複数階層の画像データに基づいて、入力画像の所定位置の動きベクトルを、ブロックマッチング処理を用いて検出する動きベクトル検出手段とを備える動きベクトル検出装置であつて、複数階層の画像データを記憶するメモリ部として上述の記憶装置を有し、複数階層の画像データのうち最下位階層の画像データは第2のメモリセルに記憶され、複数階層の画像データのうち最下位階層以外の階層の画像データは第1のメモリセルに記憶されるものである。

【0018】この発明においては、入力画像データより解像度の異なる複数階層の画像データが形成され、この複数階層の画像データに基づいて、入力画像の所定位置の動きベクトルが、ブロックマッチング処理を用いて検出される。

【0019】そして、複数階層の画像データのうち最下位階層の画像データは、第1のワード線のみに接続された第2のメモリセルに記憶される。一方、複数階層の画像データのうち最下位階層以外の階層の画像データは、

10

20

30

40

50

第1のワード線および第2のワード線にそれぞれ接続された第1のメモリセルに記憶される。

【0020】そのため、複数階層の画像データのうち最下位階層の画像データは、第1のワード線によって第2のメモリセルを活性化して、書き込み読み出しが行われる。一方、複数階層の画像データのうち最下位階層以外の階層の画像データは、第2のワード線によって第1のメモリセルを活性化して、最下位階層の画像データとは独立して、書き込み読み出しが行われる。これにより、動きベクトルの検出処理を効率よく行うことができる。

【0021】ここで、階段状パターンをそれぞれ異なる複数の第2のワード線が併存し、この複数の第2のワード線にそれぞれ接続される第1のメモリセルは異なり、この複数の第2のワード線にそれぞれ接続される第1のメモリセルにはそれぞれ異なる階層の画像データが記憶されることで、各第2のワード線で第1のメモリセルを活性化して、それぞれ階層を異にする画像データの書き込み読み出しを行うことができる。

【0022】

【発明の実施の形態】以下、図面を参照しながら、この発明の実施の形態について説明する。図1は、実施の形態としての動き補償予測符号化装置100の構成を示している。この符号化装置100は、画像データ（動画画像を構成するフレームデータ） D_i を入力する入力端子101と、この入力端子101に供給される画像データ D_i と後述する動き補償回路110から供給される予測画像データとの差分を演算する減算器102と、この減算器102で得られる差分データに対してDCT（Discrete Cosine Transform：離散コサイン変換）を行うDCT回路103と、このDCT回路103で得られるDCT係数に対して量子化を行う量子化回路104と、この量子化回路104で得られた符号化データ D_o を出力する出力端子105とを有している。

【0023】また、符号化装置100は、量子化回路104で得られた符号化データ D_o に対して逆量子化を行う逆量子化回路106と、この逆量子化回路106の出力データに対して逆DCTを行って差分データを得る逆DCT回路107と、この逆DCT回路107で得られる差分データと動き補償回路110で得られる予測画像データとを加算して元の画像データを復元する加算器108と、この加算器108で復元された画像データを記憶するフレームメモリ109とを有している。

【0024】また、符号化装置100は、フレームメモリ109に記憶された画像データを読み込み、後述する動きベクトル検出部111からの動きベクトルMVに基づいて動き補償をした後、上述したように減算器102および加算器108に予測画像データとして供給する動き補償回路110と、入力端子101に供給される画像データ D_i の動きベクトルMVを検出して動き補償回路110に供給する動きベクトル検出部111とを有して

いる。

【0025】図1に示す動き補償予測符号化装置100の動作を説明する。入力端子101に入力される画像データ D_i は、減算器102および動きベクトル検出部111に供給される。減算器102では、この画像データ D_i と動き補償回路110から供給される予測画像データとの差分が演算される。

【0026】減算器102で得られる差分データはDCT回路103に供給されて離散コサイン変換される。このDCT回路103で得られるDCT係数は量子化回路104に供給されて量子化される。そして、この量子化回路104で得られた符号化データ D_o が出力端子105に出力される。

【0027】また、量子化回路104で得られる符号化データ D_o が逆量子化回路106に供給されて逆量子化され、さらにこの逆量子化回路106の出力データが逆DCT回路107に供給されて逆DCTされ、差分データが復元される。この差分データと動き補償回路110からの予測データとが加算器108で加算されて元の画像データが復元され、この復元された画像データがフレームメモリ109に記憶される。

【0028】動き補償回路110では、あるフレームにおいては、その前のフレームにフレームメモリ109に記憶された画像データの読み込みが行われて、動きベクトル検出部111からの動きベクトルMVに基づいて動き補償されて、予測画像データが得られる。この予測画像データは、上述したように、差分データを得るために減算器102に供給されると共に、画像データを復元するために加算器108に供給される。

【0029】次に、動きベクトル検出部111の詳細を説明する。この動きベクトル検出部111では、ブロックマッチング法により動きベクトルが検出される。これは、図2に示すように、探索フレームの候補ブロックを所定の探索範囲内で移動し、参照フレームの参照ブロックと最も合致している候補ブロックを検出することにより、動きベクトルを求めるものである。

【0030】ブロックマッチング法では、図3Aに示すように、1枚の画像、例えば水平H画素、垂直Vラインの1フレームの画像が図4Bに示すように、P画素×Qラインのブロックに細分化される。図3Bの例では、P=5、Q=5の例である。cがブロックの中心画素位置である。

【0031】図4A～Cは、cを中心画素とする参照ブロックとc'を中心とする候補ブロックの位置関係を示している。cを中心画素とする参照ブロックは、参照フレームの注目しているある参照ブロックであり、それと一致する探索フレームの候補ブロックが探索フレームにおいてc'を中心とするブロックの位置にあるものとしている。ブロックマッチング法では、探索範囲内において、参照ブロックと最も合致する候補ブロックを見出す

ことによって、動きベクトルを検出する。

【0032】図4Aの場合では、水平方向に+1画素、垂直方向に+1ライン、すなわち、(+1, +1)の動きベクトルが検出される。図4Bでは、(+3, +3)の動きベクトルMVが検出され、図4Cでは、(+2, -1)の動きベクトルが検出される。動きベクトルは、参照フレームの参照ブロック毎に求められる。

【0033】動きベクトルを探索する範囲を水平方向で±S画素、垂直方向で±Tラインとすると、参照ブロックは、その中心cに対して、水平に±S、垂直に±Tずれたところに中心c'を有する候補ブロックと比較される必要がある。

【0034】図5は、参照フレームのある参照ブロックの中心cの位置をRとする時に、比較すべき探索フレームの(2S+1)×(2T+1)個の候補ブロックとの比較が必要であることを示している。すなわち、この図5のます目の位置にc'が存在する候補ブロックの全てが比較対象である。図5は、S=4、T=3とした例である。

【0035】探索範囲内の比較で得られた評価値(すなわち、フレーム差の絶対値和、このフレーム差の二乗和、あるいはフレーム差の絶対値のn乗和等)の中で、最小値を検出することによって、動きベクトルが検出される。図5の探索範囲は、候補ブロックの中心が位置する領域であり、候補ブロックの全体が含まれる探索範囲の大きさは、(2S+P)×(2T+Q)となる。 *

$$M_n(x, y) = \frac{1}{4} \sum_{i=0}^1 \sum_{j=0}^1 M_{n-1}(2x-1+i, 2y-1+j)$$

... (1)

【0040】また、図6(B)に示すように、平均値階層化された画像データについてアクティビティ階層化してアクティビティデータを生成する。階層2のアクティビティデータを $\Delta_2(x, y)$ とすると、このアクティビティデータ $\Delta_2(x, y)$ は、(2)式に示すよう *

$$\Delta_2(x, y) =$$

$$\frac{1}{4} \sum_{i=0}^1 \sum_{j=0}^1 |M_1(2x-1+i, 2y-1+j) - M_2(x, y)|$$

... (2)

【0042】同様に、階層3のアクティビティデータを $\Delta_3(x, y)$ とすると、このアクティビティデータ $\Delta_3(x, y)$ は、(3)式に示すように、階層3の画像データと入力画像データ(階層1の画像データ)との対応

*【0036】また、動きベクトル検出部111では、入力画像データについて平均値階層化の手法によつて複数階層の画像データを形成すると共に、各階層の高周波成分(以下、「アクティビティ」と呼ぶ)を表すデータについても階層化(以下、「アクティビティ階層化」と呼ぶ)してアクティビティデータを形成し、階層毎にこれらを用いて動きベクトル(動き量)を検出する。

【0037】實際上それぞれ階層化された画像データとアクティビティデータについては、上位階層から順にブロックマッチング法で評価値を求め、これらを総合判断することにより、その階層の動きベクトルを求める。この動きベクトルに基づいて順次下位階層の評価値を求める際に動き補償して参照することにより、入力画像の動きベクトルを検出する。

【0038】図6は、階層化された画像データを生成する例を示している。図6(A)は入力画像データについて3階層に階層化された画像データを生成する場合である。階層1は入力画像データそのものである。この場合、階層n(n=2, 3)の画像データ $M_n(x, y)$ は、(1)式のように平均値化によって求めることができる。ここで、階層nのブロックサイズは、階層n-1と比べて水平方向および垂直方向のそれぞれに1/2となる。このように生成された階層1~階層3の画像データはそれぞれ解像度が異なるものとなる。

【0039】

【数1】

※に、階層2の画像データと入力画像データ(階層1の画像データ)との対応する画素の差分の絶対値和によって求められる。

【0041】

【数2】

する画素の差分の絶対値和によって求められる。

【0043】

【数3】

$$\Delta_3(x, y) =$$

$$\frac{1}{16} \sum_{i=0}^3 \sum_{j=0}^3 |M_1(4x-3+i, 4y-3+j) - M_3(x, y)|$$

・・・(3)

【0044】(2)式、(3)式に示すように、アクティビティデータ $\Delta_2(x, y)$ 、 $\Delta_3(x, y)$ をいずれも入力画像データを基底にして求めるようにしたことにより、アクティビティデータとして入力画像データに忠実な高周波成分を抽出できる。

【0045】このようにしてアクティビティデータを求めると、その階層構造は図6(B)に示すようになり、最下位階層以外での階層プレーンを持つことになる。このアクティビティデータは、平均値階層化したときに画

* 像データ中で欠落する特徴量を反映していることになる。

【0046】ここで、例えば図7に示すような入力画像データ(階層1の画像データ)中の 4×4 の画素 $x_1, x_2, \dots, x_{15}, x_{16}$ でなるブロックに対して階層化する場合、平均値階層化の階層2の画像データ中の画素 y_1, y_2, y_3, y_4 は、(1)式に基づいて、それぞれ(4)式により求められる。

$$y_1 = (x_1 + x_2 + x_3 + x_4) / 4$$

$$y_2 = (x_5 + x_6 + x_7 + x_8) / 4$$

$$y_3 = (x_9 + x_{10} + x_{11} + x_{12}) / 4$$

$$y_4 = (x_{13} + x_{14} + x_{15} + x_{16}) / 4$$

・・・(4)

【0047】さらに、この階層2の 2×2 の画素 y_1, y_2, y_3, y_4 に対して階層化する場合、平均値階層化の階層3の画像データ中の画素 z_1 は、(1)式に基づいて、(5)式により求められる。

$$z_1 = (y_1 + y_2 + y_3 + y_4) / 4$$

・・・(5)

【0048】また同様に、アクティビティ階層化した階層2のアクティビティデータは、平均値階層化された階層2の画像データの画素 y_1, y_2, y_3, y_4 を用いて、(2)式に基づいて、(6)式により求められる。

$$a_1 = (|x_1 - y_1| + |x_2 - y_1| + |x_3 - y_1| + |x_4 - y_1|) / 4$$

$$a_2 = (|x_5 - y_2| + |x_6 - y_2| + |x_7 - y_2| + |x_8 - y_2|) / 4$$

$$a_3 = (|x_9 - y_3| + |x_{10} - y_3| + |x_{11} - y_3| + |x_{12} - y_3|) / 4$$

$$a_4 = (|x_{13} - y_4| + |x_{14} - y_4| + |x_{15} - y_4| + |x_{16} - y_4|) / 4$$

・・・(6)

【0049】さらに、アクティビティ階層化した階層3のアクティビティデータは、平均値階層化された階層3の画像データの画素 z_1 と階層1の画像データの画素 $x_1, x_2, \dots, x_{15}, x_{16}$ を用いて、(3)式に基づいて、(7)式により求められる。

$$b_1 = (|x_1 - z_1| + |x_2 - z_1| + |x_3 - z_1| + |x_4 - z_1| + |x_5 - z_1| + |x_6 - z_1| + |x_7 - z_1| + |x_8 - z_1| + |x_9 - z_1| + |x_{10} - z_1| + |x_{11} - z_1| + |x_{12} - z_1| + |x_{13} - z_1| + |x_{14} - z_1| + |x_{15} - z_1| + |x_{16} - z_1|) / 16$$

・・・(7)

【0050】上述のようにして求めた平均値階層化した画像データとアクティビティ階層化したアクティビティデータを用いて、各階層でブロックマッチング法による動きベクトル検出を行う。すなわち、ブロックマッチングの評価関数は、現フィールドを u で表すと、(8)式

で求められる。ただし、 (u_n, v_n) は、階層 n での動きベクトルを示している。

【0051】

【数4】

$$E(Y)_n(u_n, v_n) =$$

$$\sum_x \sum_y |M_n^{t-2}(x-u_n-2u_{n+1}, y-v_n-2v_{n+1}) - M_n^t(x, y)|$$

... (8)

【0052】この評価関数 $E(Y)_n$ の最小を与える $V'_n = (u_n, v_n)$ を、求める動きベクトルとする。現在の階層における動きベクトル V_n は、(9)式の関係に基づいて、求めることができる。

$$V_n = V'_n + 2V_{n+1}$$

$$E(D)_n(u_n, v_n) =$$

$$\sum_x \sum_y |\Delta_n^{t-2}(x-u_n-2u_{n+1}, y-v_n-2v_{n+1}) - \Delta_n^t(x, y)|$$

... (10)

【0054】そして、新たな評価関数 $E(G)_n$ を、(11)式とする。ただし、 w_1 、 w_2 は重み係数である。そして評価関数 $E(G)_n$ の最小を与える動きベク

$$E(G)_n = w_1 \cdot E(Y)_n + w_2 \cdot E(D)_n \quad \dots (11)$$

【0055】このように平均値階層化された画像データとアクティビティ階層化されたアクティビティデータの両者を用いて評価することにより、一方の階層の最適評価値が誤検出であっても、もう一方の評価値で正しい検出ができるようになり、各階層における動きベクトル検出の精度が向上する。このように各階層における動きベクトル検出精度が向上すると、(9)式で求める最終的な動きベクトルも検出精度が向上する。

【0056】図8のフローチャートは、ある参照ブロック（例えば16×16のブロックサイズ）における動きベクトル検出処理の手順を示している。まず、ステップSP1において、入力画像データから動きベクトルを検出すべき参照ブロックを得る。次に、ステップSP2で、参照ブロックの画像データを、(1)式に従って平均値階層化すると共に、(2)式および(3)式に従ってアクティビティ階層化して、例えば階層1、階層2および階層3の画像データと、階層2および階層3のアクティビティデータを生成する。

【0057】次に、ステップSP3で、現在処理済みの階層が最下位階層（階層1）か否かを判断する。現在処理済みの階層が最下位階層でないときは、ステップSP4で、全サーチ領域について探索終了か否かを判断する。ここで、探索終了でないときは、ステップSP5で、画像データおよびアクティビティデータの現在および過去のデータ（過去のデータはメモリに蓄積されている）を用いて、(8)式および(10)式に基づいて評価関数 $E(Y)_n$ 、 $E(D)_n$ による評価値を求め、ステップSP4に戻る。

【0058】一方、ステップSP4で、探索終了である

*本実施の形態においては、図6(B)のアクティビティデータについても、(8)式と同様に、(10)式により評価関数を求める。

10 【0053】

【数5】

※トルを求める。なお、最下位階層ではアクティビティデータが存在しないため、(8)式の評価関数 $E(Y)_n$ のみによる評価を行う。

$$E(G)_n = w_1 \cdot E(Y)_n + w_2 \cdot E(D)_n \quad \dots (11)$$

ときは、ステップSP6で、画像データおよびアクティビティデータについて求めた評価関数 $E(Y)_n$ および $E(D)_n$ を用いて、(11)式より得られる新たな評価関数 $E(G)_n$ による評価を行って最適評価値を求め、その後ステップSP7に移る。

【0059】ステップSP7では、最適評価値より動きベクトル V'_n を決定する。そして、次に、ステップSP8で、(9)式に基づいて、上位階層で決定された動きベクトル V_{n+1} を2倍して加算し、現在処理している階層における動きベクトル V_n を求める。その後、ステップSP3に戻る。ステップSP3で、現在処理済みの階層が最下位階層であるときは、ステップSP9で、当該参照ブロックの動きベクトルの検出処理を終了する。

【0060】図9は、動きベクトル検出部111の構成を示している。この動きベクトル検出部111においては、入力画像データ D_i がブロック回路2に入力され、所定のサイズ（例えば16×16のブロックサイズ）で順次ブロック化される。ブロック回路2から順次出力される参照ブロックの画像データは、それぞれ階層1のフレームメモリ3および評価値算出回路4、階層2の平均値階層化回路5、アクティビティ階層化回路6、階層3のアクティビティ階層化回路7に入力される。

【0061】階層2の平均値階層化回路5では、ブロック回路2より順次出力される参照ブロックの階層1の画像データについて、(1)式の演算による平均値階層化処理を実行して参照ブロックの階層2の画像データを求める。この結果得られる階層2の画像データは、階層2のフレームメモリ9、アクティビティ階層化回路6および

30

40

50

び評価値算出回路26、階層3の平均値階層化回路10に
入力される。

【0062】階層2のアクティビティ階層化回路6で
は、ブロック回路2より順次出力される参照ブロックの
階層1の画像データと、平均値階層化回路5より出力さ
れる当該参照ブロックの階層2の画像データとを用い
て、(2)式の演算によるアクティビティ階層化処理を
実行して、参照ブロックの階層2のアクティビティデ
ータを求める。この結果得られる階層2のアクティビティ
データは、それぞれ階層2のフレームメモリ12および
評価値算出回路27に10 入力される。

【0063】階層3の平均値階層化回路10では、平均
値階層化回路5より順次出力される参照ブロックの画像
データについて、(1)式の演算による平均値階層化処
理を実行して参照ブロックの階層3の画像データを求め
る。この結果得られる階層3の画像データは、階層3の
フレームメモリ14、アクティビティ階層化回路7およ
び評価値算出回路19に11 入力される。

【0064】階層3のアクティビティ階層化回路7で
は、ブロック回路2より順次出力される参照ブロックの
画像データと、平均値階層化回路10より出力される当
該参照ブロックの階層3の画像データとを用いて、
(3)式の演算によるアクティビティ階層化処理を実行
して、参照ブロックの階層3のアクティビティデータを
求める。この結果得られる階層3のアクティビティデ
ータは、階層3のフレームメモリ16および評価値算出
回路20 20 回路20に12 入力される。

【0065】この動きベクトル検出部111では、ブロ
ック回路2より順次出力される参照ブロックの画像デ
ータが、図6(A)、(B)に示すように、階層1、階層
2および階層3の画像データとして平均値階層化され
ると共に、階層2および階層3のアクティビティデータ
としてアクティビティ階層化される。

【0066】そして、各参照ブロックのそれぞれの動
きベクトルの検出においては、まず最上位階層である階
層3における動きベクトルの検出が行われる。フレーム
メモリ14に格納されている、1フレーム前のフレーム
(探索フレーム)における階層3の画像データより、サ
ーチブロック回路17で、サーチ領域(探索範囲)内の
各候補ブロックに対応した階層3の画像データが順次読
み出されて評価値算出回路19に13 供給される。

【0067】評価値算出回路19では、平均値階層化回
路10からの参照ブロックの階層3の画像データと、サ
ーチブロック17からの各候補ブロックの階層3の画像
データとを用いて、(8)式の評価関数E(Y)に基づ
いて、各候補ブロックの評価値を求める。

【0068】また、フレームメモリ16に格納されてい
る、1フレーム前のフレーム(探索フレーム)における
階層3のアクティビティデータより、サーチブロック回
路18で、サーチ領域(探索範囲)内の各候補ブロック
14 50

に対応した階層3のアクティビティデータが順次読み出
されて評価値算出回路20に15 供給される。

【0069】評価値算出回路20では、アクティビティ
階層化回路7からの参照ブロックの階層3のアクティビ
ティデータと、サーチブロック18からの各候補ブロッ
クの階層3のアクティビティデータとを用いて、(1
0)式の評価関数E(D)に基づいて、各候補ブロッ
クの評価値を求める。

【0070】評価値算出回路19、20でそれぞれ求め
られ各候補ブロックの評価値は、加算回路21で、(1
1)式に基づいて重み付け加算される。この結果得られ
る新たな評価関数E(G)に基づく各候補ブロックの
評価値は動きベクトル検出回路22に16 入力される。

【0071】本実施の形態において、評価値算出回路4
0(19、20)は、図10に示すように構成されてい
る。すなわち、評価値算出回路40においては、参照ブ
ロックメモリ41と候補ブロックメモリ42とを有して
いる。参照ブロックメモリ41は、平均値階層化回路1
0からの参照ブロックの階層3の画像データ、あるいは
アクティビティ階層化回路7からの参照ブロックの階層
3のアクティビティデータを格納する。候補ブロックメ
モリ42は、サーチブロック回路17からの候補ブロッ
クの階層3の画像データ、あるいはサーチブロック回路
18からの候補ブロックの階層3のアクティビティデ
ータを格納する。

【0072】この参照ブロックメモリ41および候補ブ
ロックメモリ42の内容が、メモリコントローラ43で
指定されたアドレスの順に読み出され、それぞれレジス
タ44およびレジスタ45を通じて減算回路46で減算
される。この結果得られる差分データは絶対値化回路4
7で絶対値化され、加算回路48およびレジスタ49で
累積加算される。この累積加算結果は、当該候補ブロッ
クの評価値となる。評価値算出回路40で順次算出され
る各候補ブロックの評価値は、評価値メモリ50に、評
価値メモリコントローラ51より指定されたアドレスの
順に従って17 入力される。

【0073】なお、実際には、階層2および階層3にお
ける処理では、平均値階層化された画像データについて
の評価値と、アクティビティ階層化されたアクティビ
ティデータについての評価値が、重み付け加算されて評
価値メモリ50に18 記憶される。

【0074】本実施の形態において、動きベクトル検出
回路60(22)は、図11に示すように構成されてい
る。すなわち、動きベクトル検出回路60では、各候補
ブロックの評価値が、評価値メモリ50より、順次評価
値メモリコントローラ51より指定されたアドレスに従
って読み出され、比較器61およびレジスタ62に19 入力
される。比較器61は他方の入力と評価値メモリ50よ
り読み出された評価値を順次比較し、このうち評価値メ
モリ50より読み出された評価値が小さいとき、レジス

・タ62およびレジスタ63の内容を更新する信号を送出する。

【0075】レジスタ63には、評価値メモリ50を読み出すアドレスが順次設定される。このようにして評価値メモリ50に記憶された評価値が順次評価され、そのうちの評価値の最小を与えるアドレスがレジスタ63より送られ、これが動きベクトル検出回路60の出力、すなわち動きベクトルMVとして出力される。

【0076】次に、階層2における動きベクトルの検出が行われる。この場合、上述したように階層3の動きベクトル検出回路22で得られる階層3の動きベクトルは、階層2のフレームメモリ9、12に供給され、この動きベクトルによつてサーチ領域が動き補償される。

【0077】そして、フレームメモリ9に格納されている、1フレーム前のフレーム（探索フレーム）における階層2の画像データより、サーチブロック回路24で、サーチ領域（探索範囲）内の各候補ブロックに対応した階層2の画像データが順次読み出されて評価値算出回路26に供給される。この階層2におけるサーチ領域は、上述した階層3におけるサーチ領域より狭くされる。

【0078】評価値算出回路26では、平均値階層化回路5からの参照ブロックの階層2の画像データと、サーチブロック24からの各候補ブロックの階層2の画像データとを用いて、(8)式の評価関数 $E(Y)$ に基づいて、各候補ブロックの評価値を求める。

【0079】また、フレームメモリ12に格納されている、1フレーム前のフレーム（探索フレーム）における階層2のアクティビティデータより、サーチブロック回路25で、サーチ領域（探索範囲）内の各候補ブロックに対応した階層2のアクティビティデータが順次読み出されて評価値算出回路27に供給される。

【0080】評価値算出回路27では、アクティビティ階層化回路6からの参照ブロックの階層2のアクティビティデータと、サーチブロック25からの各候補ブロックの階層2のアクティビティデータとを用いて、(10)式の評価関数 $E(D)$ に基づいて、各候補ブロックの評価値を求める。

【0081】評価値算出回路26、27でそれぞれ求められ各候補ブロックの評価値は、加算回路28で、(11)式に基づいて重み付け加算される。この結果得られる新たな評価関数 $E(G)$ に基づく各候補ブロックの評価値は動きベクトル検出回路29に入力される。そして、動きベクトル検出回路29では、各候補ブロックの評価値が順次評価され、動きベクトルが得られる。

【0082】この動きベクトル検出回路29で得られる動きベクトルは、加算回路23で、(9)式に示すように、階層3の動きベクトルと加算され、階層2の動きベクトルとなる。なお、この評価値算出回路26、27および動きベクトル検出回路29も、上述した評価値算出回路40（図10）および動きベクトル検出回路60

（図11）と同様に構成されている。

【0083】次に、階層1における動きベクトルの検出が行われる。この場合、上述したように加算回路23で得られる階層2の動きベクトルは、階層1のフレームメモリ3に供給され、この動きベクトルによつてサーチ領域が動き補償される。

【0084】そして、フレームメモリ3に格納されている、1フレーム前のフレーム（探索フレーム）における階層1の画像データより、サーチブロック回路31で、サーチ領域（探索範囲）内の各候補ブロックに対応した階層1の画像データが順次読み出されて評価値算出回路4に供給される。この階層1におけるサーチ領域は、上述した階層2におけるサーチ領域よりさらに狭くされる。

【0085】評価値算出回路4では、ブロック回路2からの参照ブロックの階層1の画像データと、サーチブロック31からの各候補ブロックの階層1の画像データとを用いて、(8)式の評価関数 $E(Y)$ に基づいて、各候補ブロックの評価値を求める。

【0086】評価値算出回路4で求められ各候補ブロックの評価値は、動きベクトル検出回路32に入力される。この動きベクトル検出回路32では、各候補ブロックの評価値が順次評価され、動きベクトルが得られる。この動きベクトルは、加算回路30で、(9)式に示すように、階層2の動きベクトルと加算され、階層1の動きベクトル、つまり求めるべき参照ブロックの動きベクトルMVとして出力される。なお、評価値算出回路4および動きベクトル検出回路32も、上述した評価値算出回路40（図10）および動きベクトル検出回路60

（図11）と同様に構成されている。

【0087】このようにして、画像を複数の解像度で階層化し、この階層画像を用いてブロックマッチング法で動きベクトルを検出する際、アクティビティ階層化したアクティビティデータについて求めた評価値を階層毎の評価の対象とするようにしたので、少ない計算量で動き量を高い精度で検出できる。

【0088】また、本実施の形態において、階層1、2、3の画像データがそれぞれ記憶されるフレームメモリ3、9、14は、同一のメモリブロック150によつて構成されている。

【0089】図12は、このメモリブロック150内のメモリセルアレイ160の一部160aの構成を示している。この一部160aには、階層1の16画素の画像データ（図7（A）の画素 $x1 \sim x16$ に相当）、それより得られる階層2の4画素の画像データ（図7（A）の画素 $y1 \sim y4$ に相当）、それより得られる階層3の1画素の画像データ（図7（A）の画素 $z1$ に相当）が記憶される。なお、各画素の画像データはそれぞれ8ビットのデータである。

【0090】この一部160aには、カラム方向（列方

向)に21個、ロウ方向(行方向)に8個のメモリセル161がマトリックス状に配されている。各行の21個のメモリセル161は、5個の第1のメモリセル161aと、16個の第2のメモリセル161bとからなっている。16個の第2のメモリセル161bには、階層1の2画素分の画像データ(16ビット)が記憶される。5個の第1のメモリセル161aには、階層2の画像データの4ビットおよび階層3の画像データの1ビットが記憶される。

【0091】第1のメモリセル161aおよび第2のメモリセル161bは、それぞれ第1のワード線としてのワード線WL1に接続される。また、第1のメモリセル161aは、第2のワード線としてのワード線WL2、WL3に接続される。ワード線WL1_i~WL1_{i+7}は、それぞれカラム方向に延在し、このカラム方向に並ぶ21個のメモリセル161(161a, 161b)に接続される。

【0092】また、ワード線WL2_k, WL2_{k+1}は、それぞれ4行にわたる階段状パターンで配され、各行の4個の第1のメモリセル161aに接続される。同様に、ワード線WL3_jは、8行にわたる階段状パターンで配され、各行の1個の第1メモリセル161aに接続される。このように、ワードWL2_k, WL2_{k+1}が接続される第1のメモリセル161aとワード線WL3_jが接続される第1のメモリセル161aとは異なっている。

【0093】なお、以上の説明は、階層1~3のそれぞれ16画素、4画素、1画素の画像データを記憶するメモリセルアレイ160の一部160aについてであるが、その他の対応する部分も同様に構成されている。したがって、ワード線WL2, WL3の階段状パターンは、カラム方向には、21個のメモリセル単位で繰り返されている。

【0094】図12に示すようなメモリセルアレイ160の一部160aでは、ワード線WL1により、カラム方向に延在する21個のメモリセル161(161a, 161b)が同時に活性化され、これらのメモリセル161に対して、画像データの書き込み、読み出しが可能となる。

【0095】また、この一部160aでは、ワード線WL2により、4行にわたって階段状パターンに配された16個の第1のメモリセル161aが同時に活性化され、これらの第1のメモリセル161aに対して、画像データの書き込み、読み出しが可能となる。また、この一部160aでは、ワード線WL3により、8行にわたって階段状パターンに配された8個の第1のメモリセル161aが同時に活性化され、これらの第1のメモリセル161aに対して、画像データの書き込み、読み出しが可能となる。

【0096】そのため、本実施の形態において、階層1

の画像データは、ワード線WL1によって第2のメモリセル161bを活性化して、書き込み読み出しを行うことができる。また、階層2の画像データは、ワード線WL2によって第1のメモリセル161aを活性化して、書き込み読み出しを行うことができる。さらに、階層3の画像データは、ワード線WL3によって第1のメモリセル161aを活性化して、書き込み読み出しを行うことができる。

【0097】このように、階層1~階層3の画像データは同一のメモリブロック150に記憶されると共に、階層2、階層3の画像データをそれぞれ階層1の画像データとは独立して書き込み読み出しを行うことができ、動きベクトルの検出処理を効率よく行うことができる。

【0098】次に、第1のメモリセル161aについて説明する。図13は、第1のメモリセル161aの構成例を示している。負荷素子であるP型MOSトランジスタQ1とN型MOSトランジスタQ3とが電源と接地との間に直列に接続されてCMOSインバータ171が形成されていると共に、負荷素子であるP型MOSトランジスタQ2とN型MOSトランジスタQ4とが電源と接地との間に直列に接続されてCMOSインバータ172が形成されている。そして、これらCMOSインバータ171, 172の各出力、すなわち記憶ノードN1, N2の各電位が互いに他のCMOSインバータ172, 171の入力、すなわちN型MOSトランジスタQ4, Q3の各ゲート入力となっている。

【0099】CMOSインバータ171の記憶ノードN1は、ワード線WL1にゲートが接続されたアクセストランジスタQ5、およびワード線WL2またはワード線WL3にゲートが接続されたアクセストランジスタQ6の双方を介してビット線BLに接続されている。ここで、アクセストランジスタQ5, Q6は並列接続されている。

【0100】一方、CMOSインバータ172の記憶ノードN2は、ワード線WL1にゲートが接続されたアクセストランジスタQ7、およびワード線WL2またはワード線WL3にゲートが接続されたアクセストランジスタQ8の双方を介してビット線/BL(/BLはBLバーを表している)に接続されている。ここで、アクセストランジスタQ7, Q8は並列接続されている。

【0101】このような構成の第1のメモリセル161aにおいて、一対のCMOSインバータ171, 172で構成されるメモリセル部173には、“1”または“0”のデータが記憶される。そして、このメモリセル部173とビット線BL, /BLとの間で、アクセストランジスタQ5, Q7、あるいはアクセストランジスタQ6, Q8を介して、読み出しおよび書き込みのデータ転送が行われる。つまり、メモリセル部173の選択を、ワード線WL1、あるいはワード線WL2, WL3のいずれかにより行うことができる。

【0102】なお、図13に示す第1のメモリセル161aは、通常のSRAM (Static Random Access Memory)セルをベースにしたものであるが、高抵抗負荷型やTFT負荷型などの他のタイプのSRAMセルをベースにしたものであってもよく、あるいはDRAM (Dynamic Random Access Memory)セル等のその他のタイプのメモリセルをベースにしたものであってもよい。

【0103】次に、第2のメモリセル161bについて説明する。図14は、第2のメモリセル161bの構成例を示している。この図14において、図13と対応する部分には同一符号を付して示している。

【0104】負荷素子であるP型MOSトランジスタQ1とN型MOSトランジスタQ3とが電源と接地との間に直列に接続されてCMOSインバータ171が形成されていると共に、負荷素子であるP型MOSトランジスタQ2とN型MOSトランジスタQ4とが電源と接地との間に直列に接続されてCMOSインバータ172が形成されている。そして、これらCMOSインバータ171、172の各出力、すなわち記憶ノードN1、N2の各電位が互いに他のCMOSインバータ172、171の入力、すなわちN型MOSトランジスタQ4、Q3の各ゲート入力となっている。

【0105】CMOSインバータ171の記憶ノードN1は、ワード線WL1にゲートが接続されたアクセストランジスタQ5を介してビット線BLに接続されている。一方、CMOSインバータ172の記憶ノードN2は、ワード線WL1にゲートが接続されたアクセストランジスタQ7を介してビット線/BLに接続されている。

【0106】このような構成の第2のメモリセル161bにおいて、一対のCMOSインバータ171、172で構成されるメモリセル部173には、“1”または“0”のデータが記憶される。そして、このメモリセル部173とビット線BL、/BLとの間で、アクセストランジスタQ5、Q7を介して、読み出しおよび書き込みのデータ転送が行われる。つまり、メモリセル部173の選択を、ワード線WL1により行うことができる。

【0107】なお、図14に示す第2のメモリセル161bは、通常のSRAMセルであるが、高抵抗負荷型やTFT負荷型などの他のタイプのSRAMセルであってもよく、あるいはDRAMセル等のその他のタイプのメモリセルであってもよい。

【0108】次に、フレームメモリ3、9、14を構成するメモリブロック150について説明する。図15は、メモリブロック150の構成を示している。メモリブロック150は、複数のメモリセルがマトリックス状に配されたメモリセルアレイ160と、記憶データ入出力用ポート162と、第1～第3の記憶データ用ロウアドレスデコーダ163～165と、制御回路166とを有している。

【0109】記憶データ入出力用ポート162は、記憶データ用カラムアドレスデコーダ162a、アドレスバッファ162bおよびI/Oバッファ162cで構成されている。カラムアドレスデコーダ162aには、I/Oゲート(カラム・スイッチ)やセンスアンプ等が含まれている。カラムアドレスデコーダ162aには、アドレスバッファ162bを介してカラムアドレスが入力される。

【0110】カラムアドレスデコーダ162aは、アドレスバッファ162bを介して供給されるカラムアドレスに対応して、メモリセルアレイ160のカラム方向の所定の複数のメモリセル161に接続される複数のビット線BL、/BLとの接続を確保し、I/Oバッファ162cおよびカラム・アドレス・デコーダ162aを通じて、当該カラム方向の所定のメモリセルに対する、記憶データの書き込み、読み出しが可能となるようにする。

【0111】また、第1の記憶データ用ロウアドレスデコーダ163には、アドレスバッファ163aを介してロウアドレスが入力される。ロウアドレスデコーダ163は、アドレスバッファ163aを介して供給されるロウアドレスに対応して、メモリセルアレイ160のロウ方向の所定のメモリセル161に接続されるワード線WL1を活性化し、I/Oバッファ162cおよびカラムアドレスデコーダ162aを通じて、当該ロウ方向の所定のメモリセル161(161a、161b)に対する、記憶データの書き込み、読み出しが可能となるようにする。

【0112】また、第2の記憶データ用ロウアドレスデコーダ164には、アドレスバッファ164aを介してロウアドレスが入力される。ロウアドレスデコーダ164は、アドレスバッファ164aを介して供給されるロウアドレスに対応して、メモリセルアレイ160のロウ方向の所定のメモリセル161に接続されるワード線WL2を活性化し、I/Oバッファ162cおよびカラムアドレスデコーダ162aを通じて、当該ロウ方向の所定のメモリセル161(161a)に対する、記憶データの書き込み、読み出しが可能となるようにする。

【0113】また、第3の記憶データ用ロウアドレスデコーダ165には、アドレスバッファ165aを介してロウアドレスが入力される。ロウアドレスデコーダ165は、アドレスバッファ165aを介して供給されるロウアドレスに対応して、メモリセルアレイ160のロウ方向の所定のメモリセル161に接続されるワード線WL3を活性化し、I/Oバッファ162cおよびカラムアドレスデコーダ162aを通じて、当該ロウ方向の所定のメモリセル161(161a)に対する、記憶データの書き込み、読み出しが可能となるようにする。また、制御回路166は、メモリブロック150の上述した各回路の動作を、制御入力に基づいて制御する。

【0114】以上説明したように、本実施の形態においては、動きベクトル検出部111（図9参照）のフレームメモリ3、9、14は同一のメモリブロック150

（図15参照）で構成される。そして、階層1～階層3の画像データは同一のメモリブロック150に記憶されると共に、階層2、階層3の画像データをそれぞれ階層1の画像データとは独立して書き込み読み出しを行うことができる。したがって、動きベクトルの検出処理を効率よく行うことができる。

【0115】なお、上述実施の形態においては、画像データを3階層に階層化して動きベクトルMVを検出する例を示したが、画像データを2階層または4階層以上に階層化して動きベクトルを検出するものにもこの発明を同様に適用することができる。この場合、同一のメモリブロックに各階層の画像データが記憶されることとなる。

【0116】すなわち、メモリセルアレイは、上述実施の形態と同様に、第1のメモリセル161aと、第2のメモリセル161bとが混在してマトリックス状に配されて構成される。第1のメモリセル161aは、マトリックスの列方向に延在するように配された第1のワード線およびマトリックスの複数の行にわたる階段状パターンで配された第2のワード線にそれぞれ接続される。第2のメモリセル161bは、第1のワード線のみ

に接続される。【0117】第2のワード線が接続される第1のメモリセル161aには、最下位階層（階層1）以外の階層の画像データが記憶される。4階層以上に階層化する場合、上述実施の形態と同様に、階段状パターンを異にする複数の第2のワード線が存在し、複数の第2のワード線にそれぞれ接続される第1のメモリセル161aは異なるものとされ、それぞれに階層の異なる画像データが記憶されるようになされる。

【0118】また、上述実施の形態においては、図12に示すように、カラム方向に21個、ロウ方向に8個のメモリセル161がマトリックス状に配されたメモリセルアレイ160の一部160aに、階層1～3の対応する画像データを記憶するように説明したが、各階層の対応する画像データを、それぞれ別個のマトリックス状に配されたメモリセルアレイ160の一部160aに記憶するようにしてもよい。

【0119】また、上述実施の形態における、第1のメモリセル161aは、図13に示すように、2個のアクセストランジスタが並列に接続されたものを示したが、3個以上のアクセストランジスタが並列に接続されるものも同様に構成できる。その場合、この3個以上のアクセストランジスタのそれぞれに接続されるワード線のいずれかをを用いて、メモリセル部の選択を行うことができる。

【0120】また、上述実施の形態においては、メモリ

セルアレイ160の第2のメモリセル161bには最下位階層（階層1）の画像データが記憶され、第1のメモリセル161aには順次平均値階層化された最下位階層以外の階層の画像データが記憶されるものであるが、一般的には第2のメモリセル161bに記憶される画像データに対し、これを処理して得られた画像データなどを第1のメモリセル161aに記憶することができる。また、このようなメモリ装置は、画像データ以外のデータを記憶する場合にも使用できることは勿論である。

【0121】

【発明の効果】この発明に係るメモリセル回路は、“1”または“0”のデータを記憶するメモリセル部をビット線に接続するためのアクセストランジスタを複数個並列に接続するものであり、当該メモリセル部の選択を複数のワード線のいずれかをを用いて行うことができる。

【0122】また、この発明に係るメモリ装置は、第1のワード線および第2のワード線にそれぞれ接続された第1のメモリセルと第1のワード線のみに接続された第2のメモリセルとがマトリックス状に配され、第1のワード線はマトリックスの列方向に延在するように配され、第2のワード線はマトリックスの複数の行にわたる階段状パターンで配される構成とするものであり、マトリックスの複数の行にわたる第1のメモリセルのみを第2のワード線によって同時に活性化して記憶データの書き込み読み出しを行うことができる。

【0123】また、この発明に係る動きベクトル検出装置は、入力画像データより解像度の異なる複数階層の画像データを形成し、この複数階層の画像データを使用して入力画像の所定位置の動きベクトルを検出するものにおいて、複数階層の画像データを記憶するメモリ部として上述の記憶装置を使用し、複数階層の画像データのうち最下位階層の画像データを第2のメモリセルに記憶し、複数階層の画像データのうち最下位階層以外の階層の画像データを第1のメモリセルに記憶する構成とするものであり、メモリ部に対して各階層の画像データを独立して書き込み読み出しを行うことができ、動きベクトルの検出処理の効率を上げることができる。

【図面の簡単な説明】

【図1】実施の形態としての動き補償予測符号化装置の構成を示すブロック図である。

【図2】動き検出のためのブロックマッチング法を説明するための図である。

【図3】動き検出のためのブロックマッチング法を説明するための図である。

【図4】動き検出のためのブロックマッチング法を説明するための図である。

【図5】動き検出のためのブロックマッチング法を説明するための図である。

【図6】階層構造を説明するための図である。

【図7】階層構造を説明するための図である。

【図8】動きベクトル検出処理の手順を示すフローチャートである。

【図9】動きベクトル検出部の構成を示すブロック図である。

【図10】評価値算出回路の構成を示すブロック図である。

【図11】動きベクトル検出回路の構成を示すブロック図である。

【図12】メモリブロック内のメモリセルアレイの一部を示す図である。

【図13】第1のメモリセルの構成例を示す接続図である。

【図14】第2のメモリセルの構成例を示す接続図である。

【図15】メモリブロックの構成例を示すブロック図である。

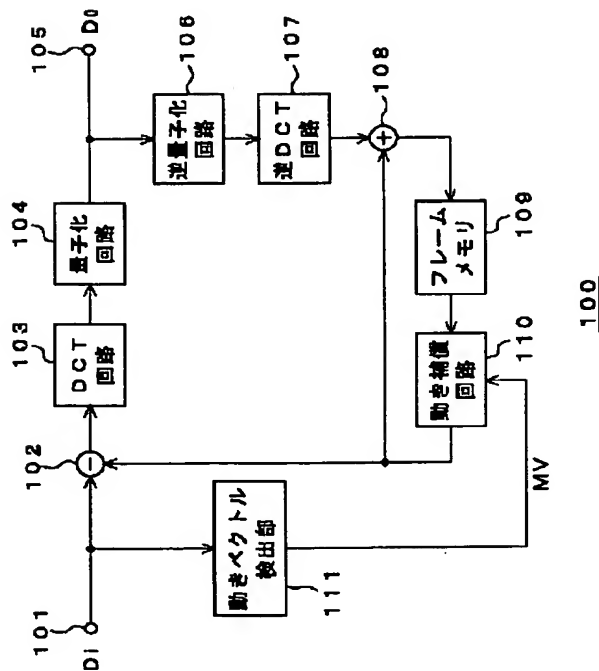
*

*【符号の説明】

2・・・ブロック回路、3、9、12、14、16・・・フレームメモリ、4、19、20、26、27・・・評価値算出回路、5、10・・・平均値階層化回路、6、7・・・アクティビティ階層化回路、17、18、24、25、31・・・サーチブロック回路、21、23、28、30・・・加算回路、22、29、32・・・動きベクトル検出回路、100・・・符号化装置、102・・・減算器、103・・・DCT回路、104・・・量子化回路、105・・・出力端子、106・・・逆量子化回路、107・・・逆DCT回路、108・・・加算器、109・・・フレームメモリ、110・・・動き補償回路、111・・・動きベクトル検出部、150・・・メモリブロック、160・・・メモリセルアレイ、161・・・メモリセル、160a・・・一部、161a・・・第1のメモリセル、161b・・・第2のメモリセル

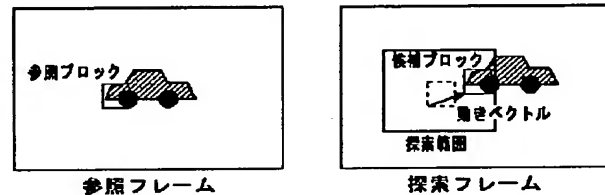
【図1】

動き補償予測符号化装置



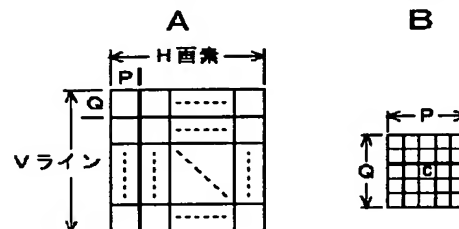
【図2】

ブロックマッチング法



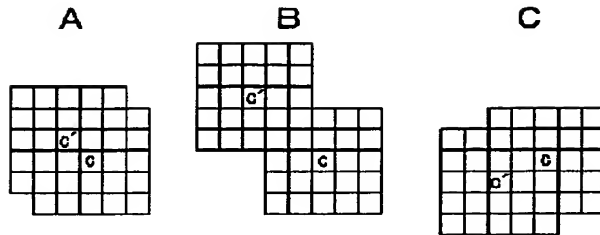
【図3】

ブロックマッチング法



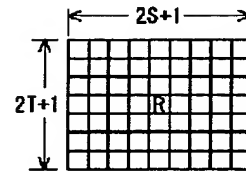
【図4】

ブロックマッチング法



【図5】

ブロックマッチング法

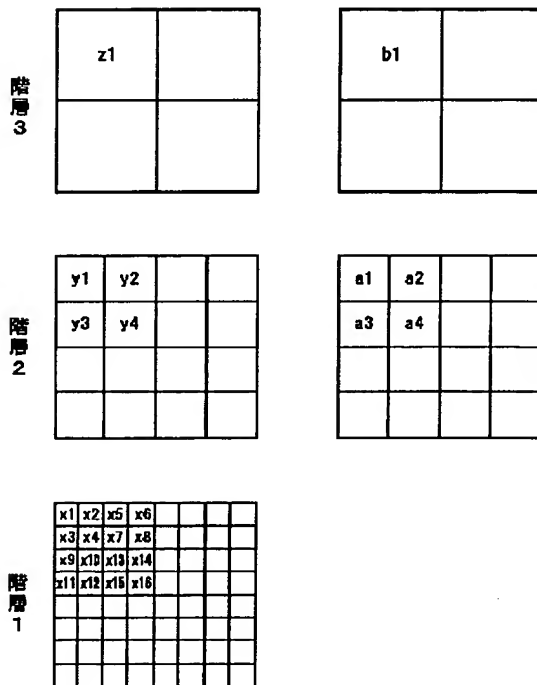
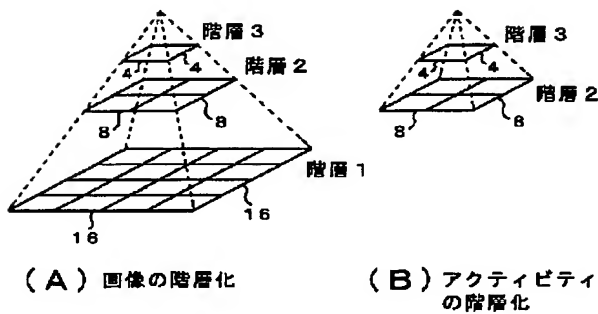


【図7】

階層構造

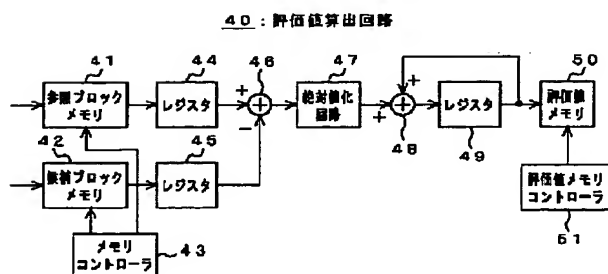
【図6】

階層構造



【図10】

評価値算出回路

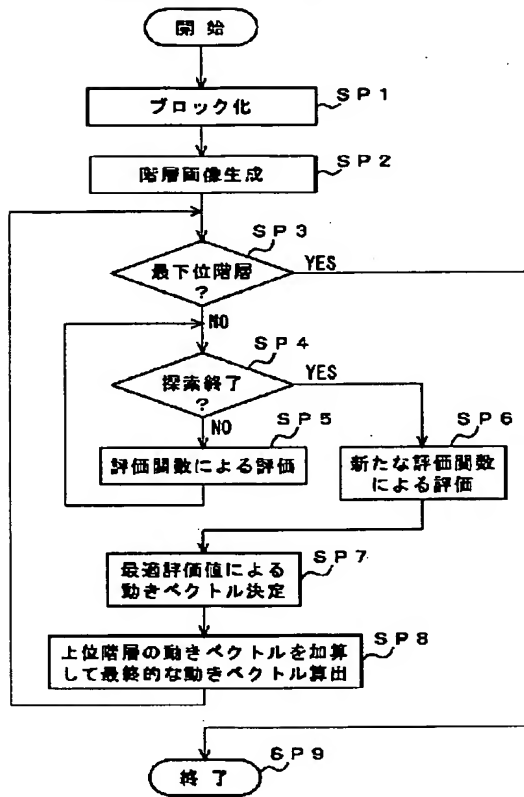


(A) 平均値階層

(B) アクティビティ階層

【図8】

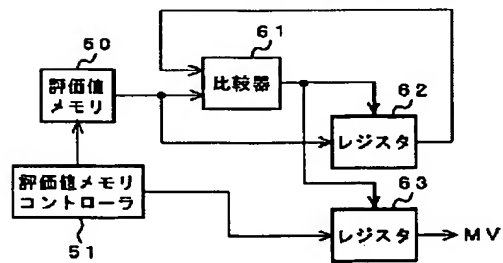
動きベクトル検出処理



【図11】

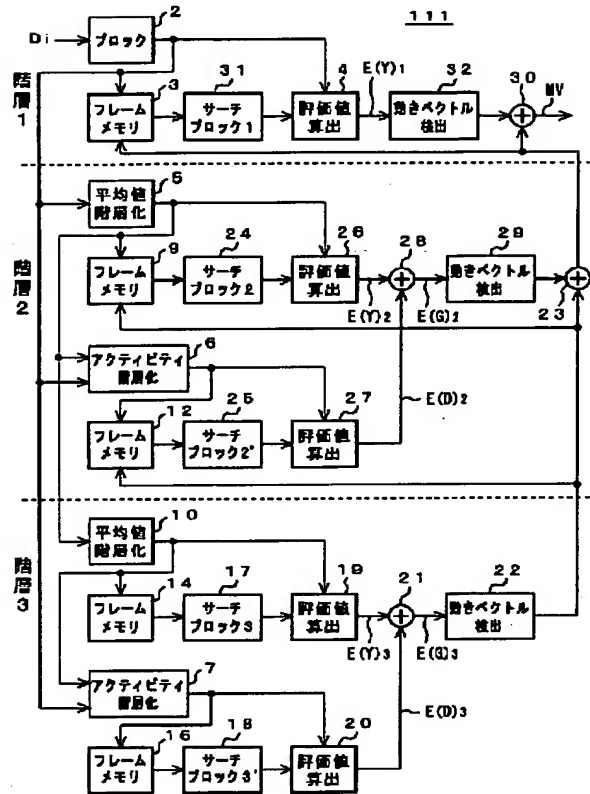
動きベクトル検出回路

60: 動きベクトル検出回路



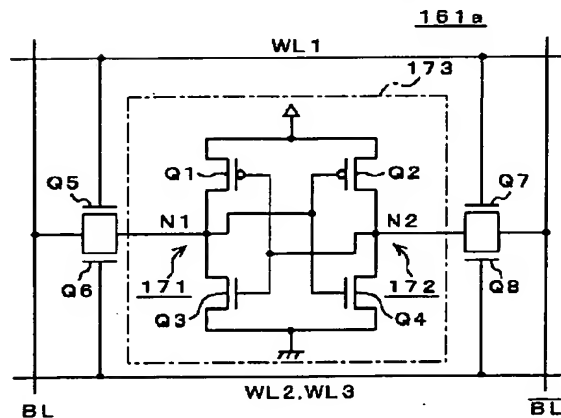
【図9】

動きベクトル検出部



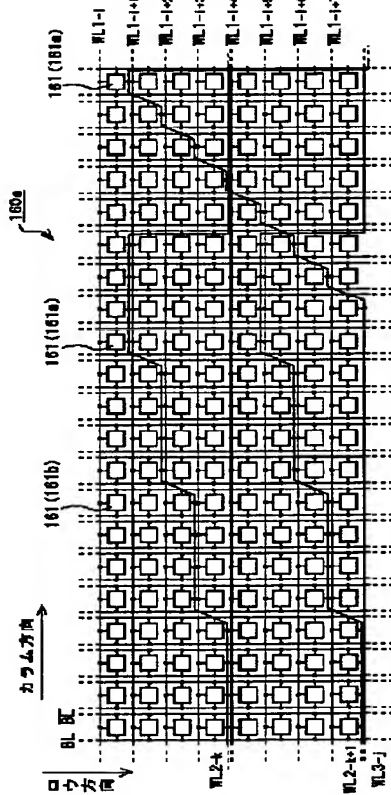
【図13】

第1のメモリセルの構成例



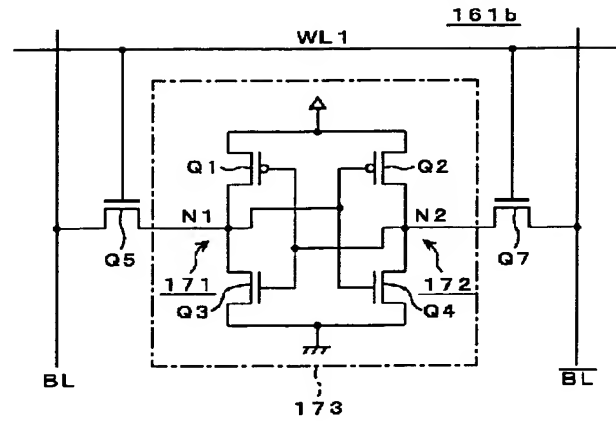
【図12】

メモリブロック内のメモリセルアレイの一部



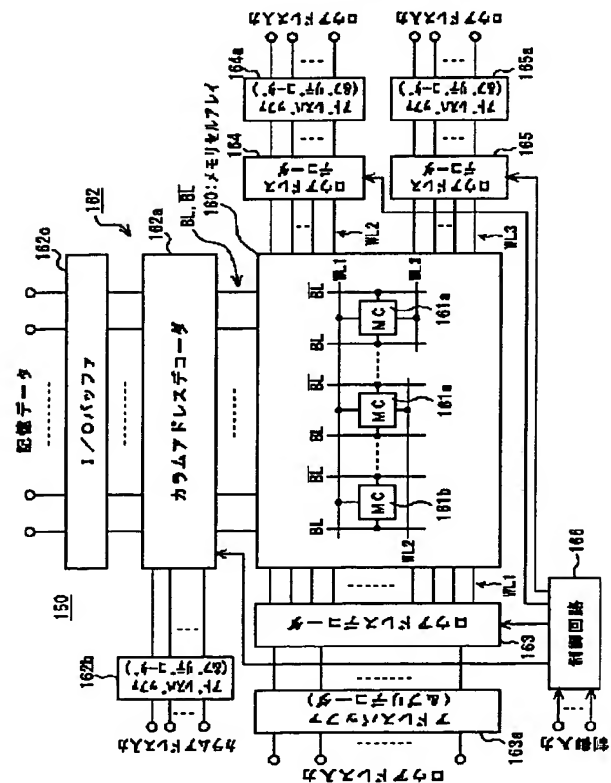
【図14】

第2のメモリセルの構成例



【図15】

メモリブロックの構成例



フロントページの続き

(S1)Int.Cl.⁷

識別記号

F I
G I I C 11/34ターム(参考)
3 0 1 B

F ターム(参考) 5B015 HH01 HH03 KA28 NN01 PP02
5C059 KK19 MA05 MA23 MC11 NN02
NN03 NN08 NN21 NN28 NN37
PP04 TA62 TB17 TB18 TC02
TC10 TC12 TC41 TD02 TD03
TD05 TD06 TD13 TD16 UA02
UA33
5J064 AA02 BA16 BB01 BB03 BC01
BC16 BD03
5L096 FA22 GA08 GA19 HA04 LA01
LA05 LA14

THIS PAGE BLANK (USPTO)

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003年7月24日 (24.07.2003)

PCT

(10) 国際公開番号
WO 03/060921 A1

(51) 国際特許分類: G11C 11/34, 7/00, G06T 7/20

(21) 国際出願番号: PCT/JP03/00166

(22) 国際出願日: 2003年1月10日 (10.01.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-4955 2002年1月11日 (11.01.2002) JP
特願2002-52022 2002年2月27日 (27.02.2002) JP

(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 近藤 哲二郎 (KONDO, Tetsujiro) [JP/JP]; 〒141-0001 東京都品

川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 市川 勉 (ICHIKAWA, Tsutomu) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 野出 泰史 (NODE, Yasunobu) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 山口 邦夫, 外 (YAMAGUCHI, Kunio et al.); 〒101-0047 東京都千代田区内神田1丁目15番2号 平山ビル5階 Tokyo (JP).

(81) 指定国 (国内): CN, KR, US.

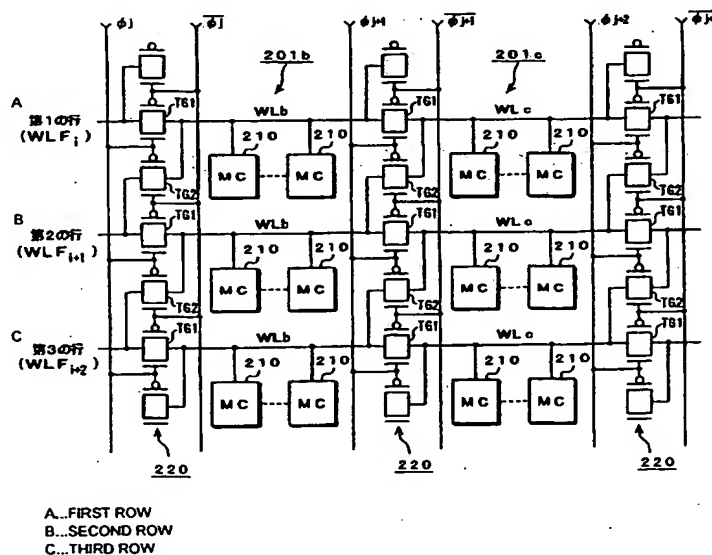
添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: MEMORY CELL CIRCUIT, MEMORY DEVICE, MOTION VECTOR DETECTION DEVICE, AND MOTION COMPENSATION PREDICTION CODING DEVICE.

(54) 発明の名称: メモリセル回路、メモリ装置、動きベクトル検出装置および動き補償予測符号化装置

(57) Abstract: A memory device and others. The memory device consists of one or more memory blocks. The memory block has a memory cell array consisting of a plurality of memory cells (210) arranged in a matrix. The region of the plurality of memory cells (210) consists of a plurality of division areas (201a to 201e) divided in the direction along the word lines WL. Each of the plurality of word lines WL consists of a plurality of division selection lines WL_a to WL_e divided so as to correspond

[続葉有]



to the plurality of division areas. The memory block has a switching mechanism (220) for switching the division word lines WL activated simultaneously in each of the division areas. The plurality of memory cells (210) corresponding to each of the division word lines, for example, store pixel data of one row or column in the horizontal or vertical direction. It is possible to simultaneously access a plurality of pixel data constituting a pixel block of an arbitrary shape.

(57) 要約:

この発明は、メモリ装置等に関する。メモリ装置は、1個または2個以上のメモリブロックからなっている。このメモリブロックは、マトリックス状に配された複数のメモリセル210からなるメモリ・セル・アレイを有する。複数のメモリセル210の領域は、ワード線WLに沿う方向に分割された複数の分割領域201a～201eからなり、複数のワード線WLは、それぞれ、複数の分割領域に対応して分割された複数の分割選択線WL a～WL eからなっている。メモリブロックは、各分割領域で同時に活性化される分割ワード線WLを切り換えるための切り換え機構220を有する。各分割ワード線に対応した複数のメモリセル210に、例えば水平方向または垂直方向に1列分の画素データを記憶する。任意の形状の画素ブロックを構成する複数の画素データに同時にアクセスできる。

明 細 書

メモリセル回路、メモリ装置、動きベクトル検出装置および動き補償予測符号化装置

5

技術分野

この発明は、メモリセル回路、メモリ装置、動きベクトル検出装置および動き補償予測符号化装置に関する。

10 背景技術

配列データにおいては、その中の比較的狭い領域内のデータについて、同時に処理を行うことが望ましい場合がある。画像データの処理を例にとれば、注目画素とその近傍の画素とのデータから注目画素における処理データを生成するようになされる。あるいは、ブロック・マッチングによる動きベクトル検出(ME :

15 Motion Estimation)の場合、前フレームのある位置におけるある大きさの画素ブロック内の画素データが、後フレームではどの位置における同じ大きさの画素ブロック内のデータと最も近いかを調べる。その場合の両画素ブロック間の位置の差が動きベクトルである。

ここで、上述した画素ブロック内の画素データは、画像データを記憶しているメモリから同時に読み出し、また対応する画素データ間の差分等の演算も各画素について同時に行うことが、処理全体あるいはアルゴリズムとしては自然でわかりやすい。

しかし従来は、画像データを記憶するメモリとしてはシンクロナスDRAMなどの汎用メモリを用い、そこから速い転送速度で画素データを順次読み出し、これらをレジスタに一時的に蓄積して、必要なタップあるいは画素ブロックを形成25 することが行われている。この場合、全データが揃うまでの待ち時間が生じ、処理の高速化、効率化を図ることができなかった。

また従来、動画画像の処理として、動きベクトル、すなわち時間的に異なる画像中の物体の動き方向と大きさを用いるものがある。例えば画像の高効率符号化に

における動き補償予測符号化に動きベクトルが用いられる。

この画像の動き量を求める動き量検出方法として、演算量を低減するために、
入力画像データより解像度の異なる複数階層の画像データを形成し、この複数階
層の画像データを使用して入力画像の所定位置の動きベクトルを検出する方法が
5 提案されている（特開平 7-222157 号参照）。

この動きベクトル検出方法では、まず入力画像データ（階層 1 の画像データ）
を、平均化やローパスフィルタ処理等で平均値階層化して、画素数を低減した画
像データ（階層 2 の画像データ）を作成する。次に作成した階層 2 の画像データ
で大まかな動きベクトルを検出し、その動きベクトルに基づいて階層 1 の画像デ
10 ータについて細かな動きベクトルの検出を行うことにより、少ない演算量で動き
ベクトルを検出し得るようになされている。

なお、ここでの階層数は 2 階層に限らず、順次平均値階層化を繰り返すことに
より、さらに画素数を低減した階層 3、階層 4、……の画像データを作成し、
上述したと同様にして動きベクトルを検出することもできる。

15 この場合、各階層の画像データを同一のメモリ部に記憶する場合、各階層の書
き込み、読み出しを独立して行うことができれば効率的である。

発明の開示

この発明の目的は、例えば矩形または十字形などの任意の形状の画素ブロック
20 を構成する複数の画素データに同時にアクセス可能とすると共に、当該画素ブ
ロックの位置を容易に変更可能とし、処理の高速化、効率化を図ることができるメ
モリ装置等を提供することにある。

また、この発明の目的は、各階層の画像データを用いて動きベクトルを検出す
るものにあつて、当該各階層の画像データをメモリ部に対して独立して書き込み、
25 読み出しを行い得るようにして、動きベクトルの検出処理の効率を上げるように
した動きベクトル検出装置およびそれに使用されるメモリ装置、メモリセル回路
を提供することにある。

この発明に係るメモリ装置は、1 個または 2 個以上のメモリブロックからなる
半導体メモリ装置であつて、メモリブロックは、マトリックス状に配された複数

のメモリセルと、マトリックスの一の方向のメモリセル列のそれぞれに対応して配され、メモリセル列を選択するための複数の選択線とを有し、マトリックス状に配された複数のメモリセルの領域は、マトリックスの一の方向に分割された複数の分割領域からなり、複数の選択線は、それぞれ、複数の分割領域に対応して分割された複数の分割選択線からなり、メモリブロックは、各分割領域で同時に活性化される分割選択線を切り換えるための切り換え機構をさらに有するものである。

この発明に係る動きベクトル検出装置は、時間的に前後する参照フレームと探索フレームとから動きベクトルを検出する動きベクトル検出装置であって、参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、探索フレームを構成する複数の画素データを記憶する第2のメモリ部と、第1のメモリ部より読み出される参照ブロックの画素データおよび第2のメモリ部より読み出される参照ブロックに対応した探索範囲の複数の候補ブロックの画素データを入力し、複数の候補ブロックのそれぞれに対し、この候補ブロックの画素データおよび参照ブロックの画素データとの差分を、対応する画素データ毎に演算する演算部と、この演算部で演算された複数の候補ブロックのそれぞれに対する画素データ毎の差分に基づいて、参照ブロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、第1のメモリ部および第2のメモリ部はそれぞれ1個または2個以上の半導体メモリブロックで構成され、半導体メモリブロックは、複数のビット線と、複数のビット線に直交する複数のワード線と、ビット線およびワード線に接続され、マトリックス状に配された複数のメモリセルとを有し、マトリックス状に配された複数のメモリセルの領域は、ワード線に沿う方向に分割された複数の分割領域からなり、複数の選択線は、それぞれ、複数の分割領域に対応して分割された複数の分割ワード線からなり、半導体メモリブロックは、各分割領域で同時に活性化される分割ワード線を切り換えるための切り換え機構をさらに有するものである。

また、この発明に係る動きベクトル検出装置は、時間的に前後する参照フレームと探索フレームとから動きベクトルを検出する動きベクトル検出装置であって、参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、第1の

メモリ部より読み出される参照ブロックの画素データを参照データとして入力し、参照ブロックに対応した探索範囲の複数の候補ブロックのそれぞれに対し、この候補ブロックの画素データおよび参照ブロックの画素データとの差分を、対応する画素データ毎に演算する第2のメモリ部と、この第2のメモリ部で演算された

5 複数の候補ブロックのそれぞれに対する画素データ毎の差分に基づいて、参照ブロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、第1のメモリ部は1個または2個以上の第1の半導体メモリブロックで構成され、第2のメモリ部は1個または2個以上の第2の半導体メモリブロックで構成され、第1の半導体メモリブロックは、複数のビット線と、この複数のビット線に直交する

10 複数のワード線と、ビット線およびワード線に接続され、マトリックス状に配された複数のメモリセルとを有し、マトリックス状に配された複数のメモリセルの領域は、ワード線に沿う方向に分割された複数の分割領域からなり、複数の選択線は、それぞれ、複数の分割領域に対応して分割された複数の分割ワード線からなり、第1の半導体メモリブロックは、各分割領域で同時に活性化される分割

15 ワード線を切り換えるための切り換え機構をさらに有し、第2の半導体メモリブロックは、複数のビット線と、この複数のビット線に直交する複数のワード線と、複数のビット線に平行または直交する、参照データを入力するための参照データ入力線と、複数のビット線に平行または直交する、演算データを出力するための演算データ出力線と、複数のワード線に平行または直交する、セル選択信号を入力

20 するためのセル選択線と、ビット線、ワード線、参照データ入力線、演算データ出力線およびセル選択線に接続され、マトリックス状に配された複数のメモリセルと、複数の演算データ出力線で出力される演算データの少なくとも一部を用いて数値演算を行って差分を得る演算補助セルとを有し、メモリセルは、“1”または“0”のデータを記憶するメモリセル部と、参照データ入力線に接続され、

25 参照データを入力するための参照データ入力部と、メモリセル部に記憶されている記憶データと参照データ入力部からの参照データとを用いた論理演算を行う演算機能部と、演算データ出力線に接続され、演算機能部で演算されて得られた演算データを演算データ出力線に出力するための演算データ出力部と、セル選択線に接続され、セル選択信号を入力するためのセル選択信号入力部と、セル選択信

号入力部に入力されるセル選択信号に基づいて、演算機能部で演算されて得られた演算データを演算データ出力部に出力する出力制御部とを備え、マトリックス状に配された複数のメモリセルの領域は、セル選択線に沿う方向に分割された複数の分割領域からなり、複数のセル選択線は、それぞれ、複数の分割領域に対応して分割された複数の分割セル選択線からなり、第2の半導体メモリブロックは、各分割領域で同時に活性化される分割セル選択線を切り換えるための切り換え機構をさらに有するものである。

また、この発明に係る動き補償予測符号化装置は、上述した動きベクトル検出装置で検出された動きベクトルを用いて動き補償を行うものである。

この発明において、メモリ装置は、1個または2個以上のメモリブロックからなっている。このメモリブロックは、マトリックス状に配された複数のメモリセルからなるメモリ・セル・アレイと、このメモリ・セル・アレイのマトリックスの一の方向のメモリセル列のそれぞれに対応して配され、このメモリセル列を選択するための複数の選択線とを有している。

例えば、メモリブロックは、複数のビット線と、複数のビット線に直交する複数のワード線と、ビット線およびワード線に接続され、マトリックス状に配された複数のメモリセルとを有し、上述の複数の選択線はワード線であり、上述のマトリックスの一の方向はワード線に沿う方向である。

また例えば、メモリブロックは、複数のビット線と、この複数のビット線に直交する複数のワード線と、複数のビット線に平行または直交する、参照データを入力するための参照データ入力線と、複数のビット線に平行または直交する、演算データを出力するための演算データ出力線と、複数のワード線に平行または直交する、セル選択信号を入力するためのセル選択線と、ビット線、ワード線、参照データ入力線、演算データ出力線およびセル選択線に接続され、マトリックス状に配された複数のメモリセルとを有し、メモリセルは、“1”または“0”のデータを記憶するメモリセル部と、参照データ入力線に接続され、参照データを入力するための参照データ入力部と、メモリセル部に記憶されている記憶データと参照データ入力部からの参照データとを用いた論理演算を行う演算機能部と、演算データ出力線に接続され、演算機能部で演算されて得られた演算データを演

算データ出力線に出力するための演算データ出力部と、セル選択線に接続され、セル選択信号を入力するためのセル選択信号入力部と、セル選択信号入力部に入力されるセル選択信号に基づいて、演算機能部で演算されて得られた演算データを演算データ出力部に出力する出力制御部とを備え、複数の選択線は複数のセル
5 選択線であり、マトリックスの一の方向はセル選択線に沿う方向である。

この場合、メモリセルでは、メモリセル部に記憶されている記憶データと参照データ入力部からの参照データとの論理演算が演算機能部で行われ、セル選択信号入力部にセル選択信号が入力されることで、この演算機能部からの演算データが演算データ出力部に出力される。また、演算補助セルでは、メモリセルの演算
10 データ出力部に出力された演算データを用いた数値演算が行われ、その演算データが演算データ出力部に出力される。

例えば、メモリセルの演算機能部では複数の論理演算が並行して行われると共に、演算補助セルの演算部では複数の論理演算によって得られた複数の演算データを用いた数値演算が行われる。

また例えば、演算補助セルは、第1の演算補助セル部と第2の演算補助セル部とから構成され、第1の演算補助セル部では、メモリセルの演算機能部で演算されて得られた演算データを用いた第1の数値演算が行われると共に、第2の演算補助セル部では、複数の第1の演算補助セル部で演算されて得られた演算データを用いた第2の数値演算が行われる。この場合、第1の数値演算が減算であり、
20 第2の数値演算が絶対値演算であるとき、演算補助セルからの演算データとして差分絶対値が得られる。

マトリックス状に配された複数のメモリセルの領域は、マトリックスの一の方向に分割された複数の分割領域からなり、複数の選択線は、それぞれ、複数の分割領域に対応して分割された複数の分割選択線からなっている。そして、メモリ
25 ブロックは、各分割領域で同時に活性化される分割選択線を切り換えるための切り換え機構を有している。

このように、複数の選択線のそれぞれが複数の分割選択線からなるようにすると共に、各分割領域で同時に活性化される分割選択線を切り換える切り換え機構を設けることにより、例えば画像データを構成する画素データをマトリックス状

に配された複数のメモリセルに適切に配置しておくことで、矩形または十字形等の任意の形状の画素ブロックを構成する画素データを同時にアクセス可能となると共に、当該画素ブロックの位置を容易に変更可能となる。

例えば、1つの分割セル選択線に対応する複数のメモリセルに、画像データを構成する垂直方向または水平方向の整数列分の画素データが記憶されることにより、上述の画素ブロックを、水平方向または垂直方向に整数画素単位で移動でき、それと直交する方向に1画素単位で移動できる。

なお、上述したメモリ装置を、動きベクトル検出装置、あるいは動き補償予測符号化装置の動きベクトル検出回路のメモリ部に用いることで、動きベクトル検出のための処理の高速化、効率化が図られる。

また、この発明に係るメモリセル回路は、“1”または“0”のデータを記憶するメモリセル部と、このメモリセル部をビット線にそれぞれ接続する並列接続された複数のアクセストランジスタとを備えるものである。

この発明においては、複数のアクセストランジスタのゲートをそれぞれ別個のワード線に接続できる。そのため、このメモリセル部の選択を複数のワード線のいずれかを使用して行うことができる。

また、この発明に係るメモリ装置は、第1のメモリセルと第2のメモリセルとが混在してマトリックス状に配され、第1のメモリセルは第1のワード線および第2のワード線にそれぞれ接続され、第2のメモリセルは第1のワード線のみに接続され、第1のワード線はマトリックスの列方向に延在するように配され、第2のワード線はマトリックスの複数の行にわたる階段状パターンで配されるものである。

この発明においては、第1のメモリセルと第2のメモリセルとが混在してマトリックス状に配されている。ここで、第1のメモリセルは、第1のワード線および第2のワード線にそれぞれ接続されている。第2のメモリセルは第1のワード線のみに接続されている。

第1のワード線はマトリックスの列方向に延在するように配されている。そのため、この第1のワード線によっては、列方向に並ぶメモリセル（第1のメモリセルおよび第2のメモリセル）を選択的に活性化できる。また、第2のワード線

は、マトリックスの複数の行にわたる階段状パターンで配されている。そのため、この第2のワード線によっては、マトリックスの複数の行にわたる第1のメモリセルのみを選択的に活性化できる。

したがって、マトリックスの複数の行にわたる第1のメモリセルのみを第2の
5 ワード線によって同時に活性化して、記憶データの書き込み読み出しを行うことが可能となる。

ここで、第2のワード線の階段状パターンが、マトリックスの列方向の所定数のメモリセル単位で繰り返されることで、マトリックスの列方向の所定数のメモリセル単位で複数の行にわたって配されることが繰り返された第1のメモリセル
10 を第2のワード線で同時に活性化して、記憶データの書き込み読み出しを行うことができる。

また、階段状パターンをそれぞれ異にする複数の第2のワード線が併存するようにすることで各第2のワード線では、それぞれ異なる階段状パターンでマトリックスの複数の行にわたって配された第1のメモリセルを同時に活性化できる。
15 その場合、複数の第2のワード線にそれぞれ接続される第1のメモリセルを異なるものとすることで、各第2のワード線ではそれぞれ別個の第1のメモリセルを活性化できる。

また、この発明に係る動きベクトル検出装置は、入力画像データより解像度の異なる複数階層の画像データを形成する画像階層化手段と、この画像階層化手段
20 で形成された複数階層の画像データに基づいて、入力画像の所定位置の動きベクトルを、ブロックマッチング処理を用いて検出する動きベクトル検出手段とを備える動きベクトル検出装置であって、複数階層の画像データを記憶するメモリ部として上述の記憶装置を有し、複数階層の画像データのうち最下位階層の画像データは第2のメモリセルに記憶され、複数階層の画像データのうち最下位階層以外
25 外の階層の画像データは第1のメモリセルに記憶されるものである。

この発明においては、入力画像データより解像度の異なる複数階層の画像データが形成され、この複数階層の画像データに基づいて、入力画像の所定位置の動きベクトルが、ブロックマッチング処理を用いて検出される。

そして、複数階層の画像データのうち最下位階層の画像データは、第1のワー

ド線のみ接続された第2のメモリセルに記憶される。一方、複数階層の画像データのうち最下位階層以外の階層の画像データは、第1のワード線および第2のワード線にそれぞれ接続された第1のメモリセルに記憶される。

そのため、複数階層の画像データのうち最下位階層の画像データは、第1のワード線によって第2のメモリセルを活性化して、書き込み読み出しが行われる。一方、複数階層の画像データのうち最下位階層以外の階層の画像データは、第2のワード線によって第1のメモリセルを活性化して、最下位階層の画像データとは独立して、書き込み読み出しが行われる。これにより、動きベクトルの検出処理を効率よく行うことができる。

ここで、階段状パターンをそれぞれ異にする複数の第2のワード線が併存し、この複数の第2のワード線にそれぞれ接続される第1のメモリセルは異なり、この複数の第2のワード線にそれぞれ接続される第1のメモリセルにはそれぞれ異なる階層の画像データが記憶されることで、各第2のワード線で第1のメモリセルを活性化して、それぞれ階層を異にする画像データの書き込み読み出しを行うことができる。

図面の簡単な説明

図1は、実施の形態としての動き補償予測符号化装置の構成を示すブロック図である。

図2は、動き検出のためのブロックマッチング法を説明するための図である。

図3A及び図3Bは、動き検出のためのブロックマッチング法を説明するための図である。

図4A～図4Cは、動き検出のためのブロックマッチング法を説明するための図である。

図5は、動き検出のためのブロックマッチング法を説明するための図である。

図6は、動きベクトル検出回路の構成を示すブロック図である。

図7は、探索フレームの画像データを蓄積するフレームメモリ（探索フレームメモリ）の構成を示す図である。

図8は、探索フレームメモリを構成する各メモリブロック間の画素データの重

複を説明するための図である。

図 9 は、探索フレームメモリを構成するメモリブロックの構成例を示す図である。

図 10 は、探索フレームメモリを構成するメモリブロックの構成例を示す図である。

図 11 は、探索フレームメモリを構成するメモリブロックの他の構成例を示す図である。

図 12 は、探索フレームメモリを構成するメモリブロックの他の構成例を示す図である。

図 13 は、SRAMセルの構成を示す図である。

図 14 は、DRAMセルの構成を示す図である。

図 15 は、演算機能部を有するメモリセルの構成を示す図である。

図 16 は、演算機能部を有する他のメモリセルの構成を示す図である。

図 17 は、演算機能部を有する他のメモリセルの構成を示す図である。

図 18 は、演算機能部を有するさらに他のメモリセルの構成を示す図である。

図 19 は、加算、減算用の演算補助セルの構成を示す図である。

図 20 は、差分絶対値演算用の演算補助セルの構成を示す図である。

図 21 は、差分絶対値を得るための演算補助セル（1画素データ分）の構成を示す図である。

図 22 A 及び図 22 B は、探索フレームの画素データとメモリ・セル・アレイ内の記憶位置を示す図である。

図 23 は、分割セル選択線の切り換え機構の構成例を示す図である。

図 24 A 及び図 24 B は、探索フレームの画素データとメモリ・セル・アレイ内の記憶位置を示す図である。

図 25 A 及び図 25 B は、探索フレームの画素データとメモリ・セル・アレイ内の記憶位置を示す図である。

図 26 A 及び図 26 B は、探索フレームの画素データとメモリ・セル・アレイ内の記憶位置を示す図である。

図 27 は、分割セル選択線の切り換え機構の他の構成例を示す図である。

図 28 は、分割セル選択線の切り換え機構のさらに他の構成例を示す図である。

図 29 は、参照フレームの画像データを蓄積するフレームメモリ（参照フレームメモリ）の構成を示す図である。

図 30 は、参照フレームメモリを構成するメモリブロックの構成例を示す図である。

図 31 は、参照フレームメモリを構成するメモリブロックの構成例を示す図である。

図 32 A 及び図 32 B は、参照フレームの画素データとメモリ・セル・アレイ内の記憶位置を示す図である。

図 33 は、分割ワード線の切り換え機構の構成例を示す図である。

図 34 は、動きベクトル検出回路の他の構成を示すブロック図である。

図 35 A 及び図 35 B は、階層構造を説明するための図である。

図 36 A 及び図 36 B は、階層構造を説明するための図である。

図 37 は、動きベクトル検出処理の手順を示すフローチャートである。

図 38 は、動きベクトル検出回路の他の構成を示すブロック図である。

図 39 は、評価値算出回路の構成を示すブロック図である。

図 40 は、動きベクトル検出部の構成を示すブロック図である。

図 41 は、メモリブロック内のメモリ・セル・アレイの一部を示す図である。

図 42 は、第 1 のメモリセルの構成例を示す接続図である。

図 43 は、第 2 のメモリセルの構成例を示す接続図である。

図 44 は、メモリブロックの構成例を示すブロック図である。

発明を実施するための最良の形態

図 1 は、実施の形態としての動き補償予測符号化装置 100 の構成を示している。

この符号化装置 100 は、画像データ（動画像を構成するフレームデータ） D_i を入力する入力端子 101 と、この入力端子 101 に供給される画像データ D_i と後述する動き補償回路 110 から供給される予測画像データとの差分を演算する減算器 102 と、この減算器 102 で得られる差分データに対して DCT

(離散コサイン変換)を行うDCT回路103と、このDCT回路103で得られるDCT係数に対して量子化を行う量子化回路104と、この量子化回路104で得られた符号化データD_oを出力する出力端子105とを有している。

また、符号化装置100は、量子化回路104で得られた符号化データD_oに対して逆量子化を行う逆量子化回路106と、この逆量子化回路106の出力データに対して逆DCTを行って差分データを得る逆DCT回路107と、この逆DCT回路107で得られる差分データと動き補償回路110で得られる予測画像データとを加算して元の画像データを復元する加算器108と、この加算器108で復元された画像データを記憶するフレームメモリ109とを有している。

また、符号化装置100は、フレームメモリ109に記憶された画像データを読み込み、後述する動きベクトル検出回路111からの動きベクトルMVに基づいて動き補償をした後、上述したように減算器102および加算器108に予測画像データとして供給する動き補償回路110と、入力端子101に供給される画像データD_iの動きベクトルMVを検出して動き補償回路110に供給する動きベクトル検出回路111とを有している。

図1に示す動き補償予測符号化装置100の動作を説明する。

入力端子101に入力される画像データD_iは、減算器102および動きベクトル検出回路111に供給される。減算器102では、この画像データD_iと動き補償回路110から供給される予測画像データとの差分が演算される。

減算器102で得られる差分データはDCT回路103に供給されて離散コサイン変換される。このDCT回路103で得られるDCT係数は量子化回路104に供給されて量子化される。そして、この量子化回路104で得られた符号化データD_oが出力端子105に出力される。

また、量子化回路104で得られる符号化データD_oが逆量子化回路106に供給されて逆量子化され、さらにこの逆量子化回路106の出力データが逆DCT回路107に供給されて逆DCTされ、差分データが復元される。この差分データと動き補償回路110からの予測データとが加算器108で加算されて元の画像データが復元され、この復元された画像データがフレームメモリ109に記憶される。

動き補償回路 110 では、あるフレームにおいては、その前のフレームにフレームメモリ 109 に記憶された画像データの読み込みが行われて、動きベクトル検出回路 111 からの動きベクトル MV に基づいて動き補償されて、予測画像データが得られる。この予測画像データは、上述したように、差分データを得るために減算器 102 に供給されると共に、画像データを復元するために加算器 108 に供給される。

次に、動きベクトル検出回路 111 の詳細を説明する。

この動きベクトル検出回路 111 では、ブロックマッチング法により動きベクトルが検出される。これは、図 2 に示すように、探索フレームの候補ブロックを所定の探索範囲内で移動し、参照フレームの参照ブロックと最も合致している候補ブロックを検出することにより、動きベクトルを求めるものである。

ブロックマッチング法では、図 3 A に示すように、1 枚の画像、例えば水平 H 画素、垂直 V ラインの 1 フレームの画像が図 3 B に示すように、P 画素 × Q ラインのブロックに細分化される。図 3 B の例では、P = 5、Q = 5 の例である。c がブロックの中心画素位置である。

図 4 A ~ 図 4 C は、c を中心画素とする参照ブロックと c' を中心とする候補ブロックの位置関係を示している。c を中心画素とする参照ブロックは、参照フレームの注目しているある参照ブロックであり、それと一致する探索フレームの候補ブロックが探索フレームにおいて c' を中心とするブロックの位置にあるものとしている。ブロックマッチング法では、探索範囲内において、参照ブロックと最も合致する候補ブロックを見出すことによって、動きベクトルを検出する。

図 4 A の場合では、水平方向に +1 画素、垂直方向に +1 ライン、すなわち、(+1, +1) の動きベクトルが検出される。図 4 B では、(+3, +3) の動きベクトル MV が検出され、図 4 C では、(+2, -1) の動きベクトルが検出される。動きベクトルは、参照フレームの参照ブロック毎に求められる。

動きベクトルを探索する範囲を水平方向で ±S 画素、垂直方向で ±T ラインとすると、参照ブロックは、その中心 c に対して、水平に ±S、垂直に ±T ずれたところに中心 c' を有する候補ブロックと比較される必要がある。

図 5 は、参照フレームのある参照ブロックの中心 c の位置を R とする時に、比

較すべき探索フレームの $(2S+1) \times (2T+1)$ 個の候補ブロックとの比較が必要なことを示している。すなわち、この図5のます目の位置に c' が存在する候補ブロックの全てが比較対象である。図5は、 $S=4$ 、 $T=3$ とした例である。

5 探索範囲内の比較で得られた評価値（すなわち、フレーム差の絶対値和、このフレーム差の二乗和、あるいはフレーム差の絶対値の n 乗和等）の中で、最小値を検出することによって、動きベクトルが検出される。図5の探索範囲は、候補ブロックの中心が位置する領域であり、候補ブロックの全体が含まれる探索範囲の大きさは、 $(2S+P) \times (2T+Q)$ となる。

10 図6は、動きベクトル検出回路111の構成例を示している。

この動きベクトル検出回路111は、回路全体の動作を制御するコントローラ121と、画像データ D_i が入力される入力端子122と、参照フレームの画像データを蓄積するフレームメモリ123と、探索フレームの画像データを蓄積するフレームメモリ124とを有している。これらフレームメモリ123、124
15 の書き込み、読み出し等の動作は、コントローラ121によって制御される。

入力端子122からあるフレームの画像データがフレームメモリ123に供給されて書き込まれる際に、このフレームメモリ123に記憶されていた1フレーム前の画像データが読み出されてフレームメモリ124に供給されて書き込まれる。

20 コントローラ121の制御に基づき、フレームメモリ124には、フレームメモリ123から参照ブロックの画素データが供給される。フレームメモリ124は、この参照ブロックに対応した探索範囲の複数の候補ブロックのそれぞれに対し、この候補ブロックの画素データと参照ブロックの画素データとの差分絶対値を、対応する画素データ毎に演算して出力する。

25 また、動きベクトル検出回路111は、フレームメモリ124より出力される、複数の候補ブロックのそれぞれに対応する画素データ毎の差分絶対値を累積する累積器126と、この累積器126で得られる複数の候補ブロックのそれぞれに対する累積値を相関値として格納する相関値テーブル127とを有している。

また、動きベクトル検出回路111は、相関値テーブル127に格納された複

数の候補ブロックのそれぞれに対する相関値に基づいて動きベクトルMVを検出する判断回路128と、この判断回路128で検出された動きベクトルMVを出力する出力端子129とを有している。判断回路128は、最小の相関値を発生する候補ブロックの位置を、動きベクトルMVとして検出する。

5 図6に示す動きベクトル検出回路111の動作を説明する。

入力端子122に入力される画像データ D_i はフレームメモリ123に供給され、参照フレームの画像データとして蓄積される。またこの際、フレームメモリ123に記憶されていた1フレーム前の画像データは、読み出されてフレームメモリ124に供給され、探索フレームの画像データとして蓄積される。

10 フレームメモリ123からフレームメモリ124には、参照ブロックの画像データが供給される。フレームメモリ124では、この参照ブロックに対応した探索範囲の複数の候補ブロックのそれぞれに対し、この候補ブロックの画素データと参照ブロックの画素データとの差分絶対値が、対応する画素データ毎に演算されて出力される。この場合、参照ブロックおよび候補ブロックが P 画素 $\times Q$ ラインで構成されている場合には（図3B参照）、複数の候補ブロックのそれぞれに対し、 $P \times Q$ 個の差分絶対値が得られる。

このように、フレームメモリ124より出力される、複数の候補ブロックのそれぞれに対応する画素データ毎の差分絶対値は累積器126に順次供給されて累積される。この累積器126からの複数の候補ブロックのそれぞれに対する累積値は、相関値テーブル127に供給され、相関値として格納される。そして、判断回路128では、このように相関値テーブル127に格納された複数の候補ブロックのそれぞれに対する相関値に基づき、最小の相関値を発生する候補ブロックの位置が動きベクトルMVとして検出される。

25 フレームメモリ123からフレームメモリ124には、参照フレーム内の複数の参照ブロックの画像データが順次供給される。したがって、各参照ブロックに対応して、フレームメモリ124、累積器126、相関値テーブル127および判断回路128では上述した動作が繰り返され、従って判断回路128では、各参照ブロックに対応した動きベクトルMVが順次検出される。このように、判断回路128で検出された動きベクトルMVは出力端子129に出力される。

次に、フレームメモリ 124 の詳細を説明する。

図 7 に示すように、本実施の形態において、フレームメモリ 124 は、4 個のメモリブロック 125 a ~ 125 d から構成されているが、フレームメモリ 124 を構成するメモリブロックの個数は 4 個に限定されるものではない。メモリブロック 125 a ~ 125 d には、それぞれ、データ入力部、データ出力部、参照データ入力部、演算データ出力部が備えられている。これら、メモリブロック 125 a, 125 b, 125 c, 125 d には、それぞれ、探索フレームの左上、右上、左下、右下の各部分の画素データが記憶される。

所定の候補ブロックの中心画素の範囲が、探索フレームの左上、右上、左下、右下の各部分にある場合には、それぞれメモリブロック 125 a, 125 b, 125 c, 125 d のみを活性化させればよく、消費電力を少なく抑えることができる。

この場合、メモリブロック 125 a ~ 125 d のそれぞれには、探索フレームの左上、右上、左下、右下の各部分の境界付近の画素データが重複して記憶される。このように、メモリブロック 125 a ~ 125 d に画素データを重複して記憶しておくのは、中心画素が境界付近となる候補ブロックの画素データには、その境界を越えた位置の画素データも必要となるからである。

図 8 は、メモリブロック 125 a, 125 b, 125 c, 125 d にそれぞれ記憶される探索フレームの左上、右上、左下、右下の各部分 F a, F b, F c, F d を示している。メモリブロック 125 a, 125 b には水平方向に重複した画素データ h a, h b が記憶され、メモリブロック 125 c, 125 d には水平方向に重複した画素データ h c, h d が記憶され、メモリブロック 125 a, 125 c には垂直方向に重複した画素データ v a, v c が記憶され、メモリブロック 125 b, 125 d には垂直方向に重複した画素データ v b, v d が記憶される。この画素データの水平方向および垂直方向の重複画素数は、候補ブロックの水平方向および垂直方向の大きさが大きい程大きくなる。

図 9 は、メモリブロック 125 (125 a ~ 125 d) の構成例を示している。

メモリブロック 125 は、複数のメモリセルがマトリックス状に配されたメモリ・セル・アレイ 131 と、記憶データ入出力用ポート (カラム・アドレス・デ

コードなどを含む) 132と、記憶データ用ロウ・アドレス・デコーダ133と、参照データ入力用ポート&演算補助セル(カラム・アドレス・デコーダなどを含む) 134と、参照データ用ロウ・アドレス・デコーダ135とを有している。

メモリ・セル・アレイ131は、ロウ方向に延びるデータを転送するための複数のビット線BL, /BL (/BLはBLバーを表している)と、カラム方向に延びる、複数のビット線BL, /BLに直交する複数のワード線WLと、複数のビット線BL, /BLに平行する、参照データを入力するための参照データ入力線RDL, /RDL (/RDLはRDLバーを表している)と、複数のビット線BL, /BLに平行する、演算データを出力するための演算データ出力線DAL, DBLと、ワード線WLに平行する、セル選択信号を入力するためのセル選択線WLFと、これらビット線BL, /BL、ワード線WL、参照データ入力線RDL, /RDL、演算データ出力線DAL, DBLおよびセル選択線WLFに接続され、マトリックス状に配された複数のメモリセル140とからなっている。

図10は、図9に示したメモリブロック125のメモリ・セル・アレイ131以外の部分の構成を詳細に示したものである。

記憶データ用カラム・アドレス・デコーダ132a、アドレス・バッファ132bおよびI/Oバッファ132cは、図9における記憶データ入出力用ポート132を構成している。カラム・アドレス・デコーダ132aには、I/Oゲート(カラム・スイッチ)やセンスアンプ等が含まれている。カラム・アドレス・デコーダ132aには、アドレス・バッファ132bを介してカラム・アドレスが入力される。

カラム・アドレス・デコーダ132aは、アドレス・バッファ132bを介して供給されるカラム・アドレスに対応して、メモリ・セル・アレイ131のカラム方向の所定の複数のメモリセル140に接続される複数のビット線BL, /BLとの接続を確保し、I/Oバッファ132cおよびカラム・アドレス・デコーダ132aを通じて、当該カラム方向の所定のメモリセルに対する、記憶データの書き込み、読み出しが可能となるようにする。

また、記憶データ用ロウ・アドレス・デコーダ133には、アドレス・バッファ133aを介してロウ・アドレスが入力される。ロウ・アドレス・デコーダ1

33は、アドレス・バッファ133aを介して供給されるロウ・アドレスに対応して、メモリ・セル・アレイ131のロウ方向の所定のメモリセル140に接続されるワード線WLを活性化し、I/Oバッファ132cおよびカラム・アドレス・デコーダ132aを通じて、当該ロウ方向の所定のメモリセル140に対する、記憶データの書き込み、読み出しが可能となるようにする。

また、参照データ用カラム・アドレス・デコーダ134a、アドレス・バッファ134b、I/Oバッファ134cおよび演算補助セル134dは、図9における参照データ入力用ポート&演算補助セル134を構成している。カラム・アドレス・デコーダ134aには、I/Oゲート（カラム・スイッチ）やセンスアンプ等が含まれている。カラム・アドレス・デコーダ134aには、アドレス・バッファ134bを介してカラム・アドレスが入力される。

カラム・アドレス・デコーダ134aは、アドレス・バッファ134bを介して供給されるカラム・アドレスに対応して、メモリ・セル・アレイ131のカラム方向の所定の複数のメモリセル140に接続される、複数の演算データ出力線DAL, DBLおよび複数の参照データ入力線RDL, /RDLとの接続を確保する。これにより、I/Oバッファ134cおよびカラム・アドレス・デコーダ134aを介して、当該カラム方向の所定の複数のメモリセル140に参照データを入力し、また当該カラム方向の所定の複数のメモリセル140からの演算データを演算補助セル134dに供給することが可能となる。

また、参照データ用ロウ・アドレス・デコーダ135には、アドレス・バッファ135aを介してロウ・アドレスが入力される。ロウ・アドレス・デコーダ135は、アドレス・バッファ135aを介して供給されるロウ・アドレスに対応して、メモリ・セル・アレイ131のロウ方向の所定のメモリセル140に接続されるセル選択線WLFにセル選択信号を供給して活性化する。これにより、I/Oバッファ134cおよびカラム・アドレス・デコーダ134aを通じて、当該ロウ方向の所定のメモリセル140に参照データを入力し、さらにはカラム・アドレス・デコーダ134aおよびI/Oバッファ134cを通じて当該ロウ方向の所定のメモリセル140からの演算データを演算補助セル134dに供給することが可能となる。

また、制御回路 136 は、メモリブロック 125 の上述した各回路の動作を、制御入力に基づいて制御する。なお、後述するが、メモリ・セル・アレイ 131 にマトリックス状に配された複数のメモリセル 140 の領域はセル選択線 WLF に沿う方向に分割された複数の分割領域からなり、複数のセル選択線 WLF は、それぞれ複数の分割領域に対応して分割された複数の分割セル選択線からなっており、メモリ・セル・アレイ 131 には、各分割領域で同時に活性化される分割セル線を切り換えるための切り換え機構が配されている。この切り換え機構の制御も、制御回路 136 によって行われる。

図 11 は、メモリブロック 125 (125a ~ 125d) の他の構成例を示している。この図 11 において、図 9 と対応する部分には同一符号を付して示している。この図 11 に示すメモリブロック 125 の構成では、図 9 に示すメモリブロック 125 の構成に対して、参照データ入力線 RDL, /RDL、演算データ出力線 DAL, DBL、セル選択線 WLF の方向が異なっている。

メモリブロック 125 は、複数のメモリセルがマトリックス状に配されたメモリ・セル・アレイ 131 と、記憶データ入出力用ポート (カラム・アドレス・デコーダなどを含む) 132 と、記憶データ用ロウ・アドレス・デコーダ 133 と、参照データ入力用ポート & 演算補助セル (カラム・アドレス・デコーダなどを含む) 134 と、参照データ用ロウ・アドレス・デコーダ 135 とを有している。

メモリ・セル・アレイ 131 は、ロウ方向に延びるデータを転送するための複数のビット線 BL, /BL と、カラム方向に延びる、複数のビット線 BL, /BL に直交する複数のワード線 WL と、複数のビット線 BL, /BL に直交する、参照データを入力するための参照データ入力線 RDL, /RDL と、複数のビット線 BL, /BL に直交する、演算データを出力するための DAL, DBL と、ワード線 WL に直交する、セル選択信号を入力するためのセル選択線 WLF と、これらビット線 BL, /BL、ワード線 WL、参照データ入力線 RDL, /RDL、演算データ出力線 DAL, DBL およびセル選択線 WLF に接続され、マトリックス状に配された複数のメモリセル 140 とからなっている。

図 12 は、図 11 に示したメモリブロック 125 のメモリ・セル・アレイ 131 以外の部分の構成を詳細に示したものである。この図 12 において、図 10 と

対応する部分には同一符号を付して示している。

記憶データ用カラム・アドレス・デコーダ132a、アドレス・バッファ132bおよびI/Oバッファ132cは、図11における記憶データ入出力用ポート132を構成している。カラム・アドレス・デコーダ132aには、I/Oゲート（カラム・スイッチ）やセンスアンプ等が含まれている。カラム・アドレス・デコーダ132aには、アドレス・バッファ132bを介してカラム・アドレスが入力される。

カラム・アドレス・デコーダ132aは、アドレス・バッファ132bを介して供給されるカラム・アドレスに対応して、メモリ・セル・アレイ131のカラム方向の所定の複数のメモリセル140に接続される複数のビット線BL、/BLとの接続を確保し、I/Oバッファ132cおよびカラム・アドレス・デコーダ132aを通じて、当該カラム方向の所定のメモリセルに対する、記憶データの書き込み、読み出しが可能となるようにする。

また、記憶データ用ロウ・アドレス・デコーダ133には、アドレス・バッファ133aを介してロウ・アドレスが入力される。ロウ・アドレス・デコーダ133は、アドレス・バッファ133aを介して供給されるロウ・アドレスに対応して、メモリ・セル・アレイ131のロウ方向の所定のメモリセル140に接続されるワード線WLを活性化し、I/Oバッファ132cおよびカラム・アドレス・デコーダ132aを通じて、当該ロウ方向の所定のメモリセル140に対する、記憶データの書き込み、読み出しが可能となるようにする。

また、参照データ用カラム・アドレス・デコーダ134a、アドレス・バッファ134b、I/Oバッファ134cおよび演算補助セル134dは、図11における参照データ入力用ポート&演算補助セル134を構成している。カラム・アドレス・デコーダ134aには、I/Oゲート（カラム・スイッチ）やセンスアンプ等が含まれている。カラム・アドレス・デコーダ134aには、アドレス・バッファ134bを介してカラム・アドレスが入力される。

カラム・アドレス・デコーダ134aは、アドレス・バッファ134bを介して供給されるカラム・アドレスに対応して、メモリ・セル・アレイ131のロウ方向の所定の複数のメモリセル140に接続される、複数の演算データ出力線D

AL, DBLおよび複数の参照データ入力線RDL, /RDLとの接続を確保する。
これにより、I/Oバッファ134cおよびカラム・アドレス・デコーダ134aを介して、当該ロウ方向の所定の複数のメモリセル140に参照データを入力し、また当該ロウ方向の所定の複数のメモリセル140からの演算データを演算補助セル134dに供給することが可能となる。

また、参照データ用ロウ・アドレス・デコーダ135には、アドレス・バッファ135aを介してロウ・アドレスが入力される。ロウ・アドレス・デコーダ135は、アドレス・バッファ135aを介して供給されるロウ・アドレスに対応して、メモリ・セル・アレイ131のカラム方向の所定のメモリセル140に接続されるセル選択線WLFにセル選択信号を供給して活性化する。これにより、I/Oバッファ134cおよびカラム・アドレス・デコーダ134aを通じて、当該カラム方向の所定のメモリセル140に参照データを入力し、さらにはカラム・アドレス・デコーダ134aおよびI/Oバッファ134cを通じて当該カラム方向の所定のメモリセル140からの演算データを演算補助セル134dに供給することが可能となる。

また、制御回路136は、メモリブロック125の上述した各回路の動作を、制御入力に基づいて制御する。なお、後述するが、メモリ・セル・アレイ131にマトリックス状に配された複数のメモリセル140の領域はセル選択線WLFに沿う方向に分割された複数の分割領域からなり、複数のセル選択線WLFは、それぞれ複数の分割領域に対応して分割された複数の分割セル選択線からなっており、メモリ・セル・アレイ131には、各分割領域で同時に活性化される分割セル線を切り換えるための切り換え機構が配されている。この切り換え機構の制御も、制御回路136によって行われる。

次に、メモリセル140について説明する。

まず、従来周知のSRAM(Static Random Access Memory)セルおよびDRAM(Dynamic Random Access Memory)セルを説明する。

図13は、SRAMセルの一例の構成を示している。負荷素子であるP型MOSトランジスタQ1とN型MOSトランジスタQ3とが電源と接地との間に直列に接続されてCMOSインバータ11が形成されていると共に、負荷素子である

P型MOSトランジスタQ2とN型MOSトランジスタQ4とが電源と接地との間に直列に接続されてCMOSインバータ12が形成されている。そして、これからCMOSインバータ11, 12の各出力、すなわち記憶ノードN1, N2の各電位が互いに他のCMOSインバータ12, 11の入力、すなわちN型MOSトランジスタQ4, Q3の各ゲート入力となっている。

CMOSインバータ11の記憶ノードN1は、ワード線WLにゲートが接続されたアクセストランジスタQ5を介してビット線BLに接続されている。一方、CMOSインバータ12の記憶ノードN2は、ワード線WLにゲートが接続されたアクセストランジスタQ6を介してビット線/BLに接続されている。

このような構成のSRAMセルにおいて、一対のCMOSインバータ11, 12で構成されるメモリセル部13に“1”または“0”のデータが記憶される。そして、このメモリセル部13とビット線BL, /BLとの間で、アクセストランジスタQ5, Q6を介して、読み出しおよび書き込みのデータ転送が行われる。

図14は、DRAMセルの一例の構成を示している。キャパシタC1, C2が直列に接続され、互いの中点Pには $V_{cc}/2$ (V_{cc} は電源電圧) が与えられている。キャパシタC1の中点Pとは反対側が記憶ノードN1とされ、この記憶ノードN1はワード線WLにゲートが接続されたアクセストランジスタQ7を介してビット線BLに接続されている。また、キャパシタC2の中点Pとは反対側が記憶ノードN2とされ、この記憶ノードN2はワード線WLにゲートが接続されたアクセストランジスタQ8を介してビット線/BLに接続されている。

このような構成のDRAMセルにおいて、一対のキャパシタC1, C2で構成されるメモリセル部14に“1”または“0”のデータが記憶される。そして、このメモリセル部14とビット線BL, /BLとの間で、アクセストランジスタQ7, Q8を介して、読み出しおよび書き込みのデータ転送が行われる。

図15は、本実施の形態におけるメモリセル140の構成を示している。

メモリセル部141の記憶ノードN1はワード線WLにゲートが接続されたアクセストランジスタQ11を介してビット線BLに接続されている。一方、メモリセル部141の記憶ノードN2はワード線WLにゲートが接続されたアクセストランジスタQ12を介してビット線/BLに接続されている。

ここで、メモリセル部141は、メモリセル140がSRAMセルをベースとするものでは例えば図13に示すSRAMセルのメモリセル部13と同様に構成され、メモリセル140がDRAMセルをベースとするものであるときは例えば図14に示すDRAMセルのメモリセル部14と同様に構成される。

- 5 この場合、メモリセル部141に“1”または“0”のデータが記憶される。そして、このメモリセル部141とビット線BL、/BLとの間で、アクセストランジスタQ11、Q12を介して、読み出しおよび書き込みのデータ転送が行われる。すなわち、メモリセル部141からの記憶データの読み出し、このメモリセル部141への記憶データの書き込みについては、図13、図14に示すメモリセルと同様に行われる。

- また、メモリセル部141の記憶ノードN1、N2にそれぞれゲートが接続されたN型MOSトランジスタQ13、Q14の互いのドレインが接続され、MOSトランジスタQ13のソースは参照データRDが入力される入力端子142aに接続され、MOSトランジスタQ14のソースは接地されている。また、メモリセル部141の記憶ノードN1、N2にそれぞれゲートが接続されたN型MOSトランジスタQ15、Q16の互いのドレインが接続され、MOSトランジスタQ15のソースは入力端子142aに接続され、MOSトランジスタQ16のソースは参照データ/RD (/RDはRDバーを表しており、RDが反転されたものである)が入力される入力端子142bに接続されている。

- 20 入力端子142aは上述した参照データ入力線RD Lに接続され、この参照データ入力線RD Lを通じて参照データRDが入力される。一方、入力端子142bは上述した参照データ入力線/RD Lに接続され、この参照データ入力線/RD Lを通じて参照データ/RDが入力される。

- ここで、MOSトランジスタQ13～Q18により、メモリセル部141に記憶されている記憶データと参照データRDとの排他的論理和の反転 (E x N O R) および論理積 (AND) を得る演算機能部が構成されている。そして、MOSトランジスタQ15、Q16の接続点PaにはE x N O R出力が得られ、MOSトランジスタQ13、Q14の接続点PbにはAND出力が得られる。

また、N型MOSトランジスタQ17のドレインはMOSトランジスタQ15、

Q 1 6 の接続点 P a に接続され、この MOS トランジスタ Q 1 7 のソースは演算データ D A を出力するための出力端子 1 4 3 に接続される。また、N 型 MOS トランジスタ Q 1 8 のドレインは MOS トランジスタ Q 1 3, Q 1 4 の接続点 P b に接続され、この MOS トランジスタ Q 1 8 のソースは演算データ D B を出力するための出力端子 1 4 4 に接続される。そして、これら MOS トランジスタ Q 1 7, Q 1 8 のゲートはセル選択信号 C S が入力される入力端子 1 4 5 に接続されている。

出力端子 1 4 3 は上述した演算データ出力線 D A L に接続され、この演算データ出力線 D A L に演算データ D A が供給される。一方、出力端子 1 4 4 は上述した演算データ出力線 D B L に接続され、この演算データ出力線 D B L に演算データ D B が供給される。さらに、入力端子 1 4 5 は上述したセル選択線 W L F に接続され、このセル選択線 W L F を通じてセル選択信号 C S が入力される。

ここで、MOS トランジスタ Q 1 7, Q 1 8 は出力制御部としてのトランスファークラップゲートを構成しており、入力端子 1 4 5 に “1” のセル選択信号 C S が供給されるとき、導通する。そしてこの場合、接続点 P a に得られている E x N O R 出力が MOS トランジスタ Q 1 7 を通じて演算データ D A として出力端子 1 4 3 に出力される。同様に、接続点 P b に得られている A N D 出力が MOS トランジスタ Q 1 8 を通じて演算データ D B として出力端子 1 4 4 に出力される。

このように、メモリセル部 1 4 1 の記憶データと参照データ R D との演算および演算データ D A, D B の出力は、記憶データの書き込みや読み出しとは独立に行うことができ、この記憶データに影響を及ぼすことはない。

上述したメモリセルブロック 1 2 5 を構成するメモリセル 1 4 0 としては図 1 5 に示す構成のものが用いられるが、同様の演算機能部を備えるその他のメモリセルも同様に構成可能である。図 1 6 ~ 図 1 8 は他のメモリセルの一例を示している。これら図 1 6 ~ 図 1 8 において、図 1 5 と対応する部分には同一符号を付して示している。

図 1 6 に示すメモリセルは、E x N O R 演算に係る演算機能部および出力制御部を有するものである。図 1 7 に示すメモリセルは、A N D 演算に係る演算機能部および出力制御部を有するものである。

図18に示すメモリセルは、論理和の反転（NOR）の演算に係る演算機能部および出力制御部を有するものである。

メモリセル部141の記憶ノードN1、N2にそれぞれゲートが接続されたN型MOSトランジスタQ19、Q20の互いのドレインが接続され、MOSトランジスタQ19のソースは接地され、MOSトランジスタQ20のソースは参照データ/RDが入力される入力端子142bに接続されている。MOSトランジスタQ19、Q20により、メモリセル部141に記憶されている記憶データと参照データRDとの論理和の反転（NOR）を得る演算機能部が構成されており、MOSトランジスタQ19、Q20の接続点PbにはNOR出力が得られる。

また、N型MOSトランジスタQ21のドレインはMOSトランジスタQ19、Q20の接続点Pcに接続され、このMOSトランジスタQ21のソースは演算データDCを出力するための出力端子146に接続される。そして、MOSトランジスタQ21のゲートはセル選択信号CSが入力される入力端子145に接続されている。MOSトランジスタQ21は出力制御部としてのトランスファークロスを構成しており、入力端子145に“1”のセル選択信号CSが供給される時、導通する。そしてこの場合、接続点Pcに得られているNOR出力がMOSトランジスタQ21を通じて演算データDCとして出力端子146に出力される。

次に、上述のメモリブロック125を構成する演算補助セル134dを説明する。

本実施の形態では、演算補助セル134dの部分に、図19に示す加算、減算用の演算補助セル150と、図20に示す差分絶対値演算用の演算補助セル170とが、それぞれ複数個使用される。

メモリ・セル・アレイ131にマトリックス状に配された複数のメモリセル140のうち、アドレス・バッファ135aに入力されるロウ・アドレスおよびアドレス・バッファ134bに入力されるカラム・アドレスによって（図10、図12参照）、候補ブロックを構成する複数の画素データをビット毎に記憶している $m \times n$ 個のメモリセル140が同時に選択される。 m は候補ブロックを構成する画素データの個数を示し、 n は画素データのビット数を示している。演算補助

セル134dには、この $m \times n$ 個のメモリセル140の各出力端子143, 144に出力される演算データDA, DBが、 $m \times n$ 対の演算データ出力線DAL, DBLをそれぞれ介して同時に供給される。

まず、演算補助セル150について説明する。演算補助セル134dの部分には、上述した $m \times n$ 個のメモリセル140にそれぞれ対応して $m \times n$ 個の演算補助セル150が設けられる。図19は、候補ブロックの所定の画素データの*i*番目のビットデータに対応する演算補助セル150を示している。ここで、 $i = 0, 1, \dots, n-1$ であり、0番目のビットデータはLSB (Least Significant Bit)であり、 $n-1$ 番目のビットデータはMSB (Most Significant Bit)である。

図19において、N型MOSトランジスタQ31, Q32の互いのドレインが接続されている。また、N型MOSトランジスタQ33, Q34の互いのドレインが接続されており、MOSトランジスタQ34のソースは接地されている。対応するメモリセル140からの演算データDA (EXNOR出力) が演算データDA_iとして入力される入力端子151はインバータIN1, IN2の直列回路を介してMOSトランジスタQ32, Q34のそれぞれのゲートに接続されると共に、インバータIN1, IN2の接続点はMOSトランジスタQ31, Q33のそれぞれのゲートに接続されている。

また、下位からのキャリ出力/C_{i-1} (/C_{i-1}はC_{i-1}バーを表しており、キャリ出力C_{i-1}が反転されたものである) が入力される入力端子152は、MOSトランジスタQ32のソースに接続されると共に、インバータIN3を介して、MOSトランジスタQ31, Q33のそれぞれのソースに接続されている。

また、対応するメモリセル140からの演算データDB (AND出力) が演算データDB_iとして入力される入力端子153はNORゲート154の入力側に接続されている。また、MOSトランジスタQ33, Q34の接続点がNORゲート154の入力側に接続されている。そして、このNORゲート154の出力側は上位へのキャリ出力/C_i (/C_iはC_iバーを表しており、キャリ出力C_iが反転されたものである) が出力される出力端子155に接続される。また、MOSトランジスタQ31, Q32の接続点はインバータIN4を介して、演算データS_iが出力される出力端子156に接続されている。

ここで、候補ブロックの所定の画素データ（ n ビット）に対応する n 個の演算補助セル150により、当該候補ブロックの所定の画素データと対応する参照ブロックの画素データとの減算値出力が得られる。すなわち、候補ブロックの所定の画素データを $X_i (i=0, 1, \dots, n-1)$ 、対応する参照ブロックの画素データを $Y_i (i=0, 1, \dots, n-1)$ とそれぞれ表し、上述したメモリセル140の参照データ R_D として $\overline{Y_i}$ （ $\overline{Y_i}$ は Y_i バーを表しており、 Y_i が反転されたものである）を供給し、 $C_{-1}=1$ とすることで、演算出力 S_i およびキャリ出力 C_i は、それぞれ（1）式、（2）式のように得られ、減算値出力が得られる。この減算値出力は、キャリ出力 C_{n-1} が正負の符号を示すオフセットバイナリで得られる。

$$S_i = X_i \oplus \overline{Y_i} \oplus C_{i-1} \quad \dots (1)$$

$$C_i = X_i \cdot \overline{Y_i} + (X_i \oplus \overline{Y_i}) \cdot C_{i-1} \quad \dots (2)$$

ただし、「 \oplus 」：排他的論理和演算

「 \cdot 」：論理積演算

「 $+$ 」：論理和演算

なお、本実施の形態では、上述した減算値出力を使用するものであるが、メモリセル140の参照データ R_D として Y_i を供給し、 $C_{-1}=0$ とすることで、演算出力 S_i およびキャリ出力 C_i は、それぞれ（3）式、（4）式のように得られ、加算値出力を得ることができる。

$$S_i = X_i \oplus Y_i \oplus C_{i-1} \quad \dots (3)$$

$$C_i = X_i \cdot Y_i + (X_i \oplus Y_i) \cdot C_{i-1} \quad \dots (4)$$

ただし、「 \oplus 」：排他的論理和演算

「 \cdot 」：論理積演算

「 $+$ 」：論理和演算

次に、演算補助セル170について説明する。メモリブロック125の演算補助セル134dの部分には、上述したように候補ブロックおよび参照ブロックの

対応する画素データの減算値出力を得るための n 個の演算補助セル150毎に、演算補助セル170が設けられる。すなわち、演算補助セル134dの部分には、候補ブロックを構成する画素データの個数と等しい m 個の演算補助セル170が設けられる。図20は、 m 個の演算補助セル170のうち k 番目($k=0, 1, \dots, m-1$)の演算補助セル170を示している。

図20において、 n 個の演算補助セル150の演算出力 S_i ($i=0, 1, \dots, n-1$)がそれぞれ入力される入力端子171₀, 171₁, \dots , 171 _{$n-1$} は、それぞれイクスクルーシブORゲート(ExORゲート)172₀, 172₁, \dots , 172 _{$n-1$} の入力側に接続される。

また、 $n-1$ 番目の演算補助セル150のキャリ出力/ C_{n-1} が入力される入力端子173は、ExORゲート172₀, 172₁, \dots , 172 _{$n-1$} に共通に接続される。そして、このExORゲート172₀, 172₁, \dots , 172 _{$n-1$} の出力側はそれぞれ n ビット全加算器174の、入力端子 a_0 , a_1 , \dots , a_{n-1} に接続される。

また、 n ビット全加算器174の入力端子 b_0 は上述の入力端子173に接続されると共に、この n ビット全加算器174の入力端子 b_1 , \dots , b_{n-1} は接地される。そして、この n ビット全加算器174の出力端子 o_0 , o_1 , \dots , o_{n-1} は、それぞれ差分絶対値 D_k ($D_{k0} \sim D_{k,n-1}$)を出力する出力端子175₀, 175₁, \dots , 175 _{$n-1$} に接続される。

図20に示す演算補助セル170においては、 C_{n-1} が1で演算出力 S_i ($i=0, 1, \dots, n-1$)が正であるときは、この演算出力 S_i ($i=0, 1, \dots, n-1$)がそのまま差分絶対値 D_k ($i=0, 1, \dots, n-1$)として得られ、一方 C_{n-1} が0で演算出力 S_i ($i=0, 1, \dots, n-1$)が負であるときは、この演算出力 S_i ($i=0, 1, \dots, n-1$)の全てのビットがExORゲート172₀, 172₁, \dots , 172 _{$n-1$} で反転され、その後 n ビット全加算器174でLSBに1が加算されて演算出力 S_i ($i=0, 1, \dots, n-1$)の絶対値が算出され、これが差分絶対値 D_k ($i=0, 1, \dots, n-1$)として得られる。

図21は、候補ブロックを構成する k 番目の画素データに対応する差分絶対値 D_k ($i=0, 1, \dots, n-1$)を得るための演算補助セル134dの一部構成を示してお

り、 n 個の演算補助セル150と、1個の演算補助セル170で構成される。演算補助セル134dの部分には、この図21に示す構成が、候補ブロックを構成する画素データの個数と等しい m 個だけ存在することになる。

上述したように、メモリ・セル・アレイ131にマトリックス状に配された複数のメモリセル140のうち、アドレス・バッファ135aに入力されるロウ・アドレスおよびアドレス・バッファ134bに入力されるカラム・アドレスによって、候補ブロックを構成する m 個の画素データをビット毎に記憶している $m \times n$ 個のメモリセル140が同時に選択されることで、演算補助セル134dでは m 個の画素データに対応する減算や差分絶対演算を同時並行的に行うことができる。

以下、このように、候補ブロックを構成する m 個の画素データをビット毎に記憶している $m \times n$ 個のメモリセル140を同時に選択可能とするための構成について説明する。

図22Aは、探索フレームメモリ124を構成する1つのメモリブロック125に記憶される画素データを模式的に示したものである。説明を簡単にするため、1つのメモリブロック125に記憶される画素データは、水平方向に15画素、垂直方向に10ラインの画素データであり、各画素データは1ビットデータであるとする。

図22Bは、各画素データのメモリ・セル・アレイ131内の記憶位置を示している。ここでは、升目のそれぞれがメモリセル140に対応している。メモリ・セル・アレイ131は、参照データのカラム方向（図10のメモリブロック125の構成では、記憶データのカラム方向と同じ、図12のメモリブロック125の構成では、記憶データのロウ方向と同じ）に50個のメモリセル140が並べられた構成となっている。そして、メモリ・セル・アレイ131内の複数のメモリセル140は、カラム方向に分割され、5つの分割領域131a～131eが形成されている。

ここで、分割領域131aの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「00」～「90」、「05」～「95」および「0a」～「9a」が記憶される。

また、分割領域131bの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「01」～「91」、「06」～「96」および「0b」～「9b」が記憶される。また、分割領域131cの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「02」～「92」、「07」～「97」および「0c」～「9c」が記憶される。

また、分割領域131dの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「03」～「93」、「08」～「98」および「0d」～「9d」が記憶される。さらに、分割領域131eの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「04」～「94」、「09」～「99」および「0e」～「9e」が記憶される。

上述した複数のセル選択線WLF（図9、図11参照）は、それぞれ各分割領域131a～131eに対応して分割された5本の分割セル選択線WLFa～WLF e（図22Bには図示せず）からなっている。そして、メモリ・セル・アレイ131には、各分割領域131a～131eで同時に活性化される分割セル選択線を切り換えるための切り換え機構が配されている。例えば、図22Bに示すように、各分割領域131a～131eの間に切り換え機構180が配されている。

図23は、切り換え機構180の構成例を示している。この切り換え機構180はN型MOSトランジスタとP型MOSトランジスタとが並列接続されてなるCMOSトランスファークロークが使用されて構成される。この切り換え機構180は、同一行の分割セル選択線の間に配され、それらを接続するためのトランスファークロークTG1と、隣接行の分割セル選択線の間に配され、それらを接続するためのトランスファークロークTG2とからなっている。

そして、トランスファークロークTG1のN型MOSトランジスタのゲートおよびトランスファークロークTG2のP型MOSトランジスタのゲートには切り換え制御信号φが供給され、トランスファークロークTG1のP型MOSトランジスタのゲートおよびトランスファークロークTG2のN型MOSトランジスタのゲート

には切り換え制御信号/ ϕ (ϕ は ϕ バーを表し、切り換え制御信号 ϕ が反転されたものである)が供給される。なお、各分割領域131a~131eの間に配される切り換え機構180には、それぞれ独立して切り換え制御信号 ϕ 、/ ϕ が供給される。

- 5 切り換え機構180の動作を説明する。 $\phi=1$ で、/ $\phi=0$ であるとき、トランスファークロウT_G1が導通し、同一行の分割セル選択線同士が接続される状態となる。一方、 $\phi=0$ で、/ $\phi=1$ であるとき、トランスファークロウT_G2が導通し、隣接行の分割セル選択線同士が接続される状態となる。

- 10 メモリ・セル・アレイ131の各分割領域131a~131eの間に、上述したような切り換え機構180が配されていることから、任意の候補ブロックを構成する画素データをビット毎に記憶している複数のメモリセル140を同時に選択できる。

- 15 例えば、図22Aにハッチングをして示した範囲の候補ブロックに対しては、切り換え機構180によって図22Bに破線で示すように接続された各分割領域131a~131eの分割セル選択線W_LF_a~W_LF_eに、参照データ用ロウ・アドレス・デコーダ135(図10、図12参照)から“1”のセル選択信号を供給して活性化すると共に、参照データ用カラム・アドレス・デコーダ134a(図10、図12参照)のI/Oゲート(カラム・スイッチ)により、図22Bでハッチングをして示したメモリセル140を選択すればよい。

- 20 また例えば、図24Aにハッチングをして示した範囲の候補ブロックに対しては、切り換え機構180により図24Bに破線で示すように接続された各分割領域131a~131eの分割セル選択線W_LF_a~W_LF_eに、参照データ用ロウ・アドレス・デコーダ135から“1”のセル選択信号を供給して活性化すると共に、参照データ用カラム・アドレス・デコーダ134aのI/Oゲート(カラム・スイッチ)により、図24Bでハッチングをして示したメモリセル140
25 を選択すればよい。

このように、I/Oゲート(カラム・スイッチ)によるメモリセル140の選択により、矩形または十字形等の任意の形状の候補ブロックに対処することができる。また、1つの分割セル選択線に対応する複数のメモリセル140に、画像

データを構成する垂直方向の1列分の画素データを記憶しているので、切り換え機構180とI/Oゲート（カラム・スイッチ）の共働により、候補ブロックの位置を水平、垂直の双方向に1画素単位で動かすことができる。

5 なお、上述では説明を簡単にするため各画素データは1ビットデータであるとして説明したが、各画素データが n ビットデータ（例えば $n=8$ ）である場合には、各画素データを記憶するために n 個のメモリセル140が必要となり、それら n 個のメモリセル140は例えばカラム方向に連続して配される。

10 また、上述した図22B、図24Bの例では、各分割セル選択線WLFa～WLF eにそれぞれ対応した複数のメモリセル140にそれぞれ垂直方向の1列分の画素データが記憶されるものを示したが、各分割セル選択線WLFa～WLF eにそれぞれ対応した複数のメモリセル140にそれぞれ水平方向の1列分の画素データが記憶されるようにしてもよい。

15 また、各分割セル選択線WLFa～WLF eにそれぞれ対応した複数のメモリセル140に、それぞれ画像データを構成する水平方向または垂直方向の m 列分（ m は2以上の整数）の画素データが記憶されるようにしてもよい。この場合、候補ブロックの位置は、水平方向の m 列分の画素データが記憶される場合には垂直方向には m 画素単位で移動でき、また、垂直方向の m 列分の画素データが記憶される場合には水平方向には m 画素単位で移動可能となる。

20 図25Aは、探索フレームメモリ124を構成する1つのメモリブロック125に記憶される画素データを模式的に示したものである。説明を簡単にするため、1つのメモリブロック125に記憶される画素データは、水平方向に10画素、垂直方向に10ラインの画素データであり、各画素データは1ビットデータであるとする。

25 図25Bは、各画素データのメモリ・セル・アレイ131内の記憶位置を示している。ここでは、升目のそれぞれがメモリセル140に対応している。メモリ・セル・アレイ131は、参照データのカラム方向（図10のメモリブロック125の構成では、記憶データのカラム方向と同じ、図12のメモリブロック125の構成では、記憶データのロウ方向と同じ）に50個のメモリセル140が並べられた構成となっている。そして、メモリ・セル・アレイ131内の複数のメ

メモリセル140は、カラム方向に分割され、5つの分割領域131a～131eが形成されている。

ここで、分割領域131aの連続する第1の行および第2の行のそれぞれの10個のメモリセルには、それぞれ水平方向の1列分の画素データ「00」～「09」および「50」～「59」が記憶される。また、分割領域131bの連続する第1の行および第2の行のそれぞれの10個のメモリセルには、それぞれ水平方向の1列分の画素データ「10」～「19」および「60」～「69」が記憶される。また、分割領域131cの連続する第1の行および第2の行のそれぞれの10個のメモリセルには、それぞれ水平方向の1列分の画素データ「20」～「29」および「70」～「79」が記憶される。

また、分割領域131dの連続する第1の行および第2の行のそれぞれの10個のメモリセルには、それぞれ水平方向の1列分の画素データ「30」～「39」および「80」～「89」が記憶される。さらに、分割領域131eの連続する第1の行および第2の行のそれぞれの10個のメモリセルには、それぞれ水平方向の1列分の画素データ「40」～「49」および「90」～「99」が記憶される。

上述した複数のセル選択線WLF（図9、図11参照）は、それぞれ各分割領域131a～131eに対応して分割された5本の分割セル選択線WLFa～WLF e（図25Bには図示せず）からなっている。そして、メモリ・セル・アレイ131には、各分割領域131a～131eで同時に活性化される分割セル選択線を切り換えるための切り換え機構180（図23参照）が配されている。

このように、各分割セル選択線WLFa～WLF eにそれぞれ対応した複数のメモリセル140にそれぞれ水平方向の1列分の画素データが記憶されるものにあっても、メモリ・セル・アレイ131の各分割領域131a～131eの間に切り換え機構180が配されていることから、任意の候補ブロックを構成する全画素データをビット毎に記憶している複数のメモリセル140を同時に選択できる。

例えば、図25Aにハッチングをして示した範囲の候補ブロックに対しては、切り換え機構180によって図25Bに破線で示すように接続された各分割領域

1 3 1 a ~ 1 3 1 e の分割セル選択線 W L F a ~ W L F e に、参照データ用ロウ・アドレス・デコーダ 1 3 5 (図 1 0、図 1 2 参照) から “1” のセル選択信号を供給して活性化すると共に、参照データ用カラム・アドレス・デコーダ 1 3 4 a (図 1 0、図 1 2 参照) の I / O ゲート (カラム・スイッチ) により、図 2 5 B でハッチングをして示したメモリセル 1 4 0 を選択すればよい。

また例えば、図 2 6 A にハッチングをして示した範囲の候補ブロックに対しては、切り換え機構 1 8 0 により図 2 6 B に破線で示すように接続された各分割領域 1 3 1 a ~ 1 3 1 e の分割セル選択線 W L F a ~ W L F e に、参照データ用ロウ・アドレス・デコーダ 1 3 5 から “1” のセル選択信号を供給すると共に、参照データ用カラム・アドレス・デコーダ 1 3 4 a の I / O ゲート (カラム・スイッチ) により、図 2 6 B でハッチングをして示したメモリセル 1 4 0 を選択すればよい。

また、上述では、メモリ・セル・アレイ 1 3 1 の各分割領域 1 3 1 a ~ 1 3 1 e で同時に活性化される分割セル選択線を切り換えるために、各分割領域 1 3 1 a ~ 1 3 1 e の間に切り換え機構 1 8 0 (図 2 3 参照) が配されるものを示したが、この切り換え機構は他の構成であってもよい。

図 2 7 は、切り換え機構の他の構成例を示している。この切り換え機構 1 8 0 A は、各分割領域 1 3 1 a ~ 1 3 1 e に対応して配される。図 2 7 には、分割領域 1 3 1 b、1 3 1 c の部分のみ示している。

この切り換え機構 1 8 0 A を使用する場合、各セル選択線 W L F (分割セル選択線 W L F a ~ W L F e で構成される) に平行する、セル選択信号を入力するためのグローバル選択線 / G W L (/ G W L は G W L バーを表し、セル選択信号として “0” が入力される) が必要となる。

切り換え機構 1 8 0 A は、ノアゲートおよびアンドゲートが使用されて構成される。すなわち、ロウ方向の奇数行に対しては、入力側がグローバル選択線 / G W L に接続され、その出力側が対応する分割セル選択線に接続されるノアゲート N G が配され、一方ロウ方向の偶数行に対しては、入力側がグローバル選択線 / G W L に接続され、その出力側が対応する分割セル選択線に接続されるオアゲート O G が配される。そして、ノアゲート N G およびオアゲート O G の入力側には切り

換え制御信号/ ϕ (ϕ は ϕ バーを表し、切り換え制御信号 ϕ が反転されたものである)が供給される。なお、各分割領域131a~131eに対応して配される切り換え機構180Aには、それぞれ独立して切り換え制御信号/ ϕ が供給される。

5 切り換え機構180Aを使用した、各分割領域131a~131eにおけるセル選択線の選択動作について説明する。

例えば、図27において、分割領域131bでは第2の行の分割セル選択線WLFbを選択し、分割領域131cでは第1の行の分割セル選択線WLFcを選択するものとする。

10 この場合、第1、第2の行のグローバル選択線/ $GWLi$ 、/ $GWLi+1$ にそれぞれセル選択信号として“0”が供給される。また、分割領域131bの切り換え機構180Aに供給される切り換え制御信号/ ϕ_j として“1”が供給される。これにより、第2の行のオアゲートOGの出力側には“1”が出力されるため、第2の行の分割セル選択線WLFbが活性化された状態となる。

15 一方、分割領域131cの切り換え機構180Aに供給される切り換え制御信号/ ϕ_j として“0”が供給される。これにより、第1の行のノアゲートNGの出力側には“1”が出力されるため、第1の行の分割セル選択線WLFcが活性化された状態となる。

20 このように、メモリ・セル・アレイ131の各分割領域131a~131eに対して、上述したような切り換え機構180Aが配される場合においても、各分割領域131a~131eの間に上述した切り換え機構180が配される場合と同様に、各分割領域131a~131eで同時に活性化される分割セル選択線の切り換えを行うことができ、任意の候補ブロックを構成する全画素データをビット毎に記憶している複数のメモリセル140を同時に選択できる。

25 また、この切り換え機構180Aを使用する場合、セル選択信号の伝送路にトランスファゲートが配されるものではなく、切り換え機構180におけるように、複数のトランスファゲートTG1、TG2が伝送路に配されるもののような、セル選択信号の伝送遅延を回避することができる。

図28は、切り換え機構のさらに他の構成例を示している。この切り換え機構180Bも、各分割領域131a~131eに対応して配される。図28には、

分割領域 131b, 131c の部分のみ示している。

この切り換え機構 180B を使用する場合、各セル選択線 WLF (分割セル選択線 WLFa ~ WLF e で構成される) に平行する、セル選択信号を入力するためのグローバル選択線 GWL (セル選択信号として “1” が入力される) が必要となる。

切り換え機構 180B は、CMOS トランスファークロウアップゲートが使用されて構成される。すなわち、ロウ方向の奇数行に対しては、グローバル選択線 GWL と各分割セル選択線 WLF a ~ WLF e とを接続するためのトランスファークロウアップゲート TG 3 が配され、一方ロウ方向の偶数行に対しては、グローバル選択線 GWL と各分割セル選択線 WLF a ~ WLF e とを接続するためのトランスファークロウアップゲート TG 4 が配される。

そして、トランスファークロウアップゲート TG 3 の N 型 MOS トランジスタのゲートおよびトランスファークロウアップゲート TG 4 の P 型 MOS トランジスタのゲートには切り換え制御信号 ϕ が供給され、トランスファークロウアップゲート TG 3 の P 型 MOS トランジスタのゲートおよびトランスファークロウアップゲート TG 4 の N 型 MOS トランジスタのゲートには切り換え制御信号 ϕ (ϕ は ϕ バーを表し、切り換え制御信号 ϕ が反転されたものである) が供給される。なお、各分割領域 131a ~ 131e に対応して配される切り換え機構 180B には、それぞれ独立して切り換え制御信号 ϕ , ϕ が供給される。

切り換え機構 180B を使用した、各分割領域 131a ~ 131e におけるセル選択線の選択動作について説明する。

例えば、図 28 において、分割領域 131b では第 2 の行の分割セル選択線 WLF b を選択し、分割領域 131c では第 1 の行の分割セル選択線 WLF c を選択するものとする。

この場合、第 1、第 2 の行のグローバル選択線 GWL_i, GWL_{i+1} にそれぞれセル選択信号として “1” が供給される。また、分割領域 131b の切り換え機構 180B に供給される切り換え制御信号 ϕ , ϕ としてそれぞれ “0”, “1” が供給される。これにより、第 2 の行のトランスファークロウアップゲート TG 4 が導通し、グローバル選択線 GWL_{i+1} から分割セル選択線 WLF c に “1” のセル選択信号

が供給されるため、第2の行の分割セル選択線WLFbが活性化された状態となる。

一方、分割領域131cの切り換え機構180Bに供給される切り換え制御信号 ϕ 、 ϕ_j として“1”，“0”が供給される。これにより、第1の行のトランスファークロウTGF3が導通し、グローバル選択線GWL_iから分割セル選択線WLFcに“1”のセル選択信号が供給されるため、第1の行の分割セル選択線WLFcが活性化された状態となる。

このように、メモリ・セル・アレイ131の各分割領域131a～131eに対して、上述したような切り換え機構180Bが配される場合においても、各分割領域131a～131eの間に上述した切り換え機構180が配される場合と同様に各分割領域131a～131eで同時に活性化される分割セル選択線の切り換えを行うことができ、任意の候補ブロックを構成する全画素データをビット毎に記憶している複数のメモリセル140を同時に選択できる。

また、この切り換え機構180Bを使用する場合、セル選択信号の伝送路に配されるトランスファークロウは1個だけとなるため、切り換え機構180におけるように、複数のトランスファークロウTGF1、TGF2が伝送路に配されるものに比べて、セル選択信号の伝送遅延を軽減することができる。

次に、参照フレームの画像データを蓄積するフレームメモリ123（図6参照）を説明する。

図29に示すように、フレームメモリ123も、上述したフレームメモリ124と同様に、例えば4個のメモリブロック191a～191dから構成されている。メモリブロック191a～191dには、それぞれ、データ入力部、データ出力部が備えられている。データ入力部より画像データDiが入力され、データ出力部から画像データDoが出力される。これら、メモリブロック191a、191b、191c、191dには、それぞれ、参照フレームの左上、右上、左下、右下の各部分の画素データが記憶される。

所定の参照ブロックの中心画素の範囲が、参照フレームの左上、右上、左下、右下の各部分にある場合には、それぞれメモリブロック191a、191b、191c、191dのみを活性化させればよく、消費電力を少なく抑えることがで

きる。

この場合、メモリブロック 191 a ~ 191 d には、上述したフレームメモリ 124 のメモリブロック 125 a ~ 125 d と同様に、参照フレームの左上、右上、左下、右下の各部分の境界部に対応して、重複して画素データが記憶される。

5 このように、メモリブロック 191 a ~ 191 d に重複した画素データを記憶しておくのは、中心画素が境界付近となる参照ブロックの画素データには、その境界部を越えた位置の画素データも必要となるからである。

図 30 は、メモリブロック 191 (191 a ~ 191 d) の構成例を示している。

10 メモリブロック 191 は、複数のメモリセルがマトリックス状に配されたメモリ・セル・アレイ 201 と、記憶データ入出力用ポート (カラム・アドレス・デコーダなどを含む) 202 と、記憶データ用ロウ・アドレス・デコーダ 203 とを有している。

メモリ・セル・アレイ 201 は、ロウ方向に延びるデータを転送するための複数のビット線 BL, /BL (/BL は BL バーを表している) と、カラム方向に延びる、複数のビット線 BL, /BL に直交する複数のワード線 WL と、これらビット線 BL, /BL およびワード線 WL に接続され、マトリックス状に配された複数のメモリセル 210 とからなっている。

15

図 31 は、図 30 に示したメモリブロック 191 のメモリ・セル・アレイ 201 以外の部分の構成を詳細に示したものである。

20

記憶データ用カラム・アドレス・デコーダ 202 a、アドレス・バッファ 202 b および I/O バッファ 202 c は、図 30 における記憶データ入出力用ポート 202 を構成している。カラム・アドレス・デコーダ 202 a には、I/O ゲート (カラム・スイッチ) やセンスアンプ等が含まれている。カラム・アドレス・デコーダ 202 a には、アドレス・バッファ 202 b を介してカラム・アドレスが

25

カラム・アドレス・デコーダ 202 a は、アドレス・バッファ 202 b を介して供給されるカラム・アドレスに対応して、メモリ・セル・アレイ 201 のカラム方向の所定の複数のメモリセル 210 に接続される複数のビット線 BL, /BL

との接続を確保し、I/Oバッファ202cおよびカラム・アドレス・デコーダ202aを通じて、当該カラム方向の所定のメモリセルに対する、記憶データの書き込み、読み出しが可能となるようにする。

また、記憶データ用ロウ・アドレス・デコーダ203には、アドレス・バッファ203aを介してロウ・アドレスが入力される。ロウ・アドレス・デコーダ203は、アドレス・バッファ203aを介して供給されるロウ・アドレスに対応して、メモリ・セル・アレイ201のロウ方向の所定のメモリセル210に接続されるワード線WLを活性化し、I/Oバッファ202cおよびカラム・アドレス・デコーダ202aを通じて、当該ロウ方向の所定のメモリセル210に対する、記憶データの書き込み、読み出しが可能となるようにする。

また、制御回路204は、メモリブロック191の上述した各回路の動作を、制御入力に基づいて制御する。なお、後述するが、メモリ・セル・アレイ201にマトリックス状に配された複数のメモリセルの領域はワード線WLに沿う方向（カラム方向）に分割された複数の分割領域からなり、複数のワード線WLは、それぞれ複数の分割領域に対応して分割された複数の分割ワード線からなっており、メモリ・セル・アレイ201には、各分割領域で同時に活性化される分割ワード線を切り換えるための切り換え機構が配されている。この切り換え機構の制御も、制御回路204によって行われる。

なお、メモリセル210は、上述したメモリブロック125のメモリセル140とは異なり、演算機能部を持っていない。詳細説明は省略するが、このメモリセル210は、例えば、上述の図13に示すSRAMセル、あるいは上述の図14に示すDRAMセルと同様の構成とされる。

メモリブロック191は、任意の参照ブロックを構成する全画素データをビット毎に記憶している複数のメモリセル210を同時に選択可能とされている。以下、そのための構成について説明する。

図32Aは、参照フレームメモリ123を構成する1つのメモリブロック191に記憶される画素データを模式的に示したものである。説明を簡単にするため、1つのメモリブロック191に記憶される画素データは、水平方向に15画素、垂直方向に10ラインの画素データであり、各画素データは1ビットデータであ

るとする。

図32Bは、各画素データのメモリ・セル・アレイ201内の記憶位置を示している。ここでは、升目のそれぞれがメモリセル210に対応している。メモリ・セル・アレイ201は、カラム方向に50個のメモリセル210が並べられた構成となっている。そして、メモリ・セル・アレイ201内の複数のメモリセル210は、カラム方向に分割され、5つの分割領域201a～201eが形成されている。

ここで、分割領域201aの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「00」～「90」、「05」～「95」および「0a」～「9a」が記憶される。

また、分割領域201bの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「01」～「91」、「06」～「96」および「0b」～「9b」が記憶される。また、分割領域201cの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「02」～「92」、「07」～「97」および「0c」～「9c」が記憶される。

また、分割領域201dの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「03」～「93」、「08」～「98」および「0d」～「9d」が記憶される。

さらに、分割領域201eの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「04」～「94」、「09」～「99」および「0e」～「9e」が記憶される。

上述した複数のワード線WL（図30参照）は、それぞれ各分割領域201a～201eに対応して分割された5本の分割ワード線WLa～WLe（図32Bには図示せず）からなっている。そして、メモリ・セル・アレイ201には、各分割領域201a～201eで同時に活性化される分割ワード線を切り換えるための切り換え機構が配されている。例えば、図32Bに示すように、各分割領域201a～201eの間に切り換え機構220が配されている。

図33は、切り換え機構220の構成例を示している。この切り換え機構22

0は、上述したメモリブロック125のメモリ・セル・アレイ131内に配された切り換え機構180（図23参照）と同様に構成されている。

この切り換え機構220は、N型MOSトランジスタとP型MOSトランジスタとが並列接続されてなるCMOSトランスファークラップゲートが使用されて構成される。この切り換え機構220は、同一行の分割ワード線の間配され、それらを接続するためのトランスファークラップゲートTG1と、隣接行の分割ワード線の間配され、それらを接続するためのトランスファークラップゲートTG2とからなっている。

そして、トランスファークラップゲートTG1のN型MOSトランジスタのゲートおよびトランスファークラップゲートTG2のP型MOSトランジスタのゲートには切り換え制御信号 ϕ が供給され、トランスファークラップゲートTG1のP型MOSトランジスタのゲートおよびトランスファークラップゲートTG2のN型MOSトランジスタのゲートには切り換え制御信号 $/\phi$ （ $/\phi$ は ϕ バーを表し、切り換え制御信号 ϕ が反転されたものである）が供給される。なお、各分割領域201a～201eの間に配される切り換え機構220には、それぞれ独立して切り換え制御信号 ϕ 、 $/\phi$ が供給される。

切り換え機構220の動作を説明する。 $\phi=1$ で、 $/\phi=0$ であるとき、トランスファークラップゲートTG1が導通し、同一行の分割ワード線同士が接続される状態となる。一方、 $\phi=0$ で、 $/\phi=1$ であるとき、トランスファークラップゲートTG2が導通し、隣接行の分割ワード線同士が接続される状態となる。

メモリ・セル・アレイ201の各分割領域201a～201eの間に、上述したような切り換え機構220が配されていることから、任意の参照ブロックを構成する全画素データをビット毎に記憶している複数のメモリセル210を同時に選択できる。これにより、参照フレームメモリ123から探索フレームメモリ124に、参照ブロックを構成する全画素データのビットデータを参照データとして同時に供給することが可能となる。

例えば、図32Aにハッチングをして示した範囲の候補ブロックに対しては、切り換え機構220によって図32Bに破線で示すように接続された各分割領域201a～201eの分割ワード線WL a～WL eに、記憶データ用ロウ・アドレス・デコーダ203（図31参照）から“1”の信号を供給して活性化すると

共に、記憶データ用カラム・アドレス・デコーダ202a（図31参照）のI/Oゲート（カラム・スイッチ）により、図22Bでハッチングをして示したメモリセル210を選択すればよい。

5 このように、I/Oゲート（カラム・スイッチ）によるメモリセル210の選択により、矩形または十字形等の任意の形状の参照ブロックに対処することができ
きる。また、1つの分割ワード線に対応する複数のメモリセル210に、画像データを構成する垂直方向の1列分の画素データを記憶しているので、切り換え機構220とI/Oゲート（カラム・スイッチ）の共働により、参照ブロックの位置を水平、垂直の双方向に1画素単位で動かすことができる。

10 なお、上述では説明を簡単にするため各画素データは1ビットデータであるとして説明したが、各画素データがnビットデータ（例えばn=8）である場合には、各画素データを記憶するためにn個のメモリセル210が必要となり、それらn個のメモリセル210は例えばカラム方向に連続して配される。

15 また、上述した図32Bの例では、各分割ワード線WL a～WL eにそれぞれ対応した複数のメモリセル210にそれぞれ垂直方向の1列分の画素データが記憶されるものを示したが、上述したメモリブロック125のメモリ・セル・アレイ131の場合と同様に、各分割ワード線WL a～WL eにそれぞれ対応した複数のメモリセル210にそれぞれ水平方向の1列分の画素データが記憶されるようにしてもよい。

20 また、各分割ワード線WL a～WL eにそれぞれ対応した複数のメモリセル210に、それぞれ画像データを構成する水平方向または垂直方向のm列分（mは2以上の整数）の画素データが記憶されるようにしてもよい。この場合、参照ブロックの位置は、水平方向のm列分の画素データが記憶されるときには垂直方向にはm画素単位で移動でき、また、垂直方向のm列分の画素データが記憶されるときには水平方向にはm画素単位で移動可能となる。

25 また、上述では、メモリ・セル・アレイ201の各分割領域201a～201eで同時に活性化される分割ワード線を切り換えるために、各分割領域201a～201eの間に切り換え機構220（図33参照）が配されるものを示したが、この切り換え機構220の代わりに、上述したメモリブロック125のメモリ・

セル・アレイ 131 の場合と同様に、図 27 に示す切り換え機構 180A、あるいは図 28 に示す切り換え機構 180B と同様の構成を採用することもできる。ただしこの場合には、メモリ・セル・アレイ 201 は、各ワード線 WL (分割ワード線 WL a ~ WL e で構成される) に平行する、セル選択信号を入力するグローバルワード線を備えている必要がある。

なお、詳細説明は省略するが、上述したメモリブロック 191 の構成を、上述したメモリブロック 125 の記憶データ側にも採用してもよい。これにより、任意のブロックを構成する全画素データをビット毎に記憶している複数のメモリセル 140 を同時に選択して当該ブロックを構成する全画素データの同時読み出し、または同時書き込みを行うことが可能となる。

以上説明したように、本実施の形態においては、メモリブロック 125 を構成するメモリセル 140 に論理演算を行う演算機能部が含まれていると共に (図 15 参照)、このメモリブロック 125 に演算データを用いて数値演算を行うための演算補助セル 134d (図 10, 図 12 参照) を有するものであり、幅の広いデータ・バスを用いて処理回路にデータを伝送することなく、高速かつ効率的に所望の演算処理を行わせることができる。

また、メモリブロック 125 において、記憶データの書き込み、読み出しは、複数のビット線 BL, /BL、複数のワード線 WL を用いて行われるのに対して、演算データ $D_0 \sim D_{n-1}$ の出力は、複数の参照データ入力線 RDL, /RDL、複数の演算データ出力線 DAL, DBL および複数のセル選択線 WLF を用いて行われるものであり (図 9、図 11 参照)、記憶データの書き込み、読み出しと、演算データの出力とを独立して行うことができ、全体としてより柔軟で効率的な処理を行うことができる。

また、探索フレームメモリ 124 を構成するメモリブロック 125 において、メモリ・セル・アレイ 131 のマトリックス状に配された複数のメモリセル 140 の領域が、セル選択線 WLF に沿う方向に分割された複数の分割領域 131a ~ 131e からなり、複数のセル選択線 WLF が、それぞれ、複数の分割領域 131a ~ 131e に対応して分割された複数の分割セル選択線 WLF a ~ WLF e からなり、各分割領域 131a ~ 131e で同時に活性化される分割セル選択

線を切り換えるための切り換え機構180、180A、180Bが配されるものであり（図22A、図22B、図23、図27、図28参照）、分割セル選択線単位で階段状に並ぶ複数のメモリセル140の演算データを複数の演算データ出力線DAL、DBLに出力して、演算補助セル134dで処理できる。

- 5 この場合、1つの分割セル選択線に対応する複数のメモリセル140に、画像データを構成する垂直方向または水平方向の整数列分（1列分またはm列分（mは2以上の整数））の画素データが記憶されるものであり、候補ブロックを構成する複数の画素データに対応した演算データを、同時に複数の演算データ出力線DAL、DBLに出力でき、これらを用いた数値演算を複数の演算補助セル15
- 10 0、170（図19、図20参照）で同時並行的に行うことができる。したがって、動きベクトルMVを求めるための所定の候補ブロックの複数の画素データに係る複数の差分絶対値 $D_0 \sim D_{n-1}$ を同時に得ることができ、データ処理効率を大幅に向上できる。

- また、メモリブロック125の参照データ用カラム・アドレス・デコーダ13
- 15 4aのI/Oゲート（カラム・スイッチ）によるメモリセル140の選択により、矩形または十字形等の任意の形状の候補ブロックに対処できる。また、1つの分割セル選択線に対応する複数のメモリセル140に、画像データを構成する垂直方向または水平方向の整数列分の画素データを記憶しているので、切り換え機構180（180A、180B）とI/Oゲート（カラム・スイッチ）の共働によ
- 20 り、候補ブロックの位置を水平、垂直の双方向に容易に移動できる。

- また、参照フレームメモリ123を構成するメモリブロック191において、メモリ・セル・アレイ201のマトリックス状に配された複数のメモリセル210の領域が、ワード線に沿う方向に分割された複数の分割領域201a～201eからなり、複数のワード線WLが、それぞれ、複数の分割領域201a～201eに対応して分割された複数の分割ワード線WL a～WL eからなり、各分割
- 25 領域201a～201eで同時に選択される分割セル選択線を切り換えるための切り換え機構220が配されるものであり（図32A、図32B、図33参照）、分割ワード線単位で階段状に並ぶ複数のメモリセル210を同時に選択できる。

この場合、1つの分割ワード線に対応する複数のメモリセル140に、画像デ

ータを構成する垂直方向または水平方向の整数列分（1列分またはm列分（mは2以上の整数））の画素データが記憶されるものであり、参照ブロックを構成する複数の画素データを同時に読み出すことができ、それを探索フレームメモリ124に同時に供給でき、処理の高速化を図ることができる。

- 5 また、メモリブロック191の記憶データ用カラム・アドレス・デコーダ202aのI/Oゲート（カラム・スイッチ）によるメモリセル210の選択により、矩形または十字形等の任意の形状の参照ブロックに対処できる。また、1つの分割ワード線に対応する複数のメモリセル210に、画像データを構成する垂直方向または水平方向の整数列分の画素データを記憶しているので、切り換え機構2
- 10 20とI/Oゲート（カラム・スイッチ）の共働により、参照ブロックの位置を水平、垂直の双方向に容易に移動できる。

- また、探索フレームメモリ124は、複数、例えば4個のメモリブロック125a～125dで構成され、これらには探索フレームの左上、右上、左下、右下の各部分の境界部に対応して重複した画素データが記憶されるものであり、所定の候補ブロックの中心画素の範囲が、探索フレームの左上、右上、左下、右下の各部分にある場合には、それぞれメモリブロック125a、125b、125c、125dのみを活性化させればよく、消費電力を少なく抑えることができる。
- 15

- また、参照フレームメモリ123は、複数、例えば4個のメモリブロック191a～191dで構成され、これらには参照フレームの左上、右上、左下、右下の各部分の境界部に対応して重複した画素データが記憶されるものであり、所定の参照ブロックの中心画素の範囲が、参照フレームの左上、右上、左下、右下の各部分にある場合には、それぞれメモリブロック191a、191b、191c、191dのみを活性化させればよく、消費電力を少なく抑えることができる。
- 20

- このように、探索フレームメモリ124、参照フレームメモリ123においては、それぞれ候補ブロックの画素データに係る演算データ、参照ブロックの画素データを得るために、いずれか1個のメモリブロックのみを活性化すればよく、従って他のメモリブロックに関しては他の処理のために使用することも可能となる。これにより、複雑な処理を効率よく行うことが可能となる。
- 25

 また、上述した参照フレームメモリ123、探索フレームメモリ124を使用

して構成される動きベクトル検出回路 111 および動き補償予測符号化装置 100 0 では、動きベクトル MV の検出のための処理の高速化、効率化を図ることができる。

5 なお、上述実施の形態において、探索フレームメモリ 124 はメモリブロック 125 a ~ 125 d からなり、これらのメモリブロック 125 a ~ 125 d からの差分絶対値 $D_0 \sim D_{n-1}$ をそのまま出力するものであるが、この探索フレームメモリ 124 に、これら差分絶対値 $D_0 \sim D_{n-1}$ を累積する回路、累積値を格納する回路、さらには累積値から動きベクトル MV を検出する回路等の回路ブロックを一体的に
10 有する構成とすることも考えられる。これにより、さらに処理の高速化、効率化を図ることができる。

また、上述実施の形態においては、フレームメモリ 123, 124 を構成する 4 個のメモリブロックには、それぞれ左上、右上、左下、右下の各部分の画素データが記憶されるものを示したが、それぞれに記憶される画素データを、データ
15 入力順、あるいは画素位置に応じた複数の位相に対応させてもよい。

また、図 6 に示す動きベクトル検出回路 111 では、探索フレームの画像データ
15 を蓄積するフレームメモリ 124 で差分絶対値を求める演算が行われ、このフレームメモリ 124 から複数の候補ブロックのそれぞれに対応する画素データ毎の差分絶対値を得るようにしたものであるが、この差分絶対値を求める演算回路をフレームメモリの外部に持つ構成であってもよい。

20 図 34 は、その場合における動きベクトル検出回路 111 A の構成を示している。この図 34 において、図 6 と対応する部分には同一符号を付して示している。

この動きベクトル検出回路 111 A は、回路全体の動作を制御するコントローラ 121 と、画像データ D_i が入力される入力端子 122 と、参照フレームの画像データを蓄積するフレームメモリ 123 と、探索フレームの画像データを蓄積
25 するフレームメモリ 124 A とを有している。これらフレームメモリ 123, 124 A の書き込み、読み出し等の動作は、コントローラ 121 によって制御される。

入力端子 122 からあるフレームの画像データがフレームメモリ 123 に供給されて書き込まれる際に、このフレームメモリ 123 に記憶されていた 1 フレー

ム前の画像データが読み出されてフレームメモリ 1 2 4 Aに供給されて書き込まれる。

コントローラ 1 2 1の制御に基づき、フレームメモリ 1 2 3から所定の参照ブロックの画素データが出力されるのに伴って、フレームメモリ 1 2 4 Aからは、
5 当該参照ブロックに対応した探索範囲の複数の候補ブロックの画素データが順次出力される。

ここで、フレームメモリ 1 2 3は、上述したように、例えば4個のメモリブロック 1 9 1で構成され、各メモリブロックでは、任意の参照ブロックを構成する画素データを記憶している複数のメモリセル 2 1 0を同時に選択でき、当該参照
10 ブロックの画素データを同時に出力可能とされている。(図 2 9～図 3 3 参照)。詳細説明は省略するが、フレームメモリ 1 2 4 Aも、フレームメモリ 1 2 3と同様に、例えば4個のメモリブロック 1 9 1で構成され、各メモリブロックでは、任意の候補ブロックを構成する画素データを記憶している複数のメモリセル 2 1 0を同時に選択でき、当該候補ブロックの画素データを同時に出力可能とされて
15 いる。

また、動きベクトル検出回路 1 1 1 Aは、フレームメモリ 1 2 3からの参照ブロックの画素データと、フレームメモリ 1 2 4 Aからの当該参照ブロックに対応した探索範囲の複数の候補ブロックの画素データとを入力し、複数の候補ブロックのそれぞれに対し、この候補ブロックの画素データと参照ブロックの画素データとの差分絶対値を、対応する画素データ毎に演算して出力する演算回路 1 3 0
20 を有している。

また、動きベクトル検出回路 1 1 1 Aは、演算回路 1 3 0より出力される、複数の候補ブロックのそれぞれに対応する画素データ毎の差分絶対値を累積する累積器 1 2 6と、この累積器 1 2 6で得られる複数の候補ブロックのそれぞれに対する累積値を相関値として格納する相関値テーブル 1 2 7とを有している。
25

また、動きベクトル検出回路 1 1 1 Aは、相関値テーブル 1 2 7に格納された複数の候補ブロックのそれぞれに対する相関値に基づいて動きベクトルMVを検出する判断回路 1 2 8と、この判断回路 1 2 8で検出された動きベクトルMVを出力する出力端子 1 2 9とを有している。判断回路 1 2 8では、最小の相関値を

発生する候補ブロックの位置を、動きベクトルMVとして検出する。

図34に示す動きベクトル検出回路111Aの動作を説明する。

入力端子122に入力される画像データDiはフレームメモリ123に供給され、参照フレームの画像データとして蓄積される。またこの際、フレームメモリ123に記憶されていた1フレーム前の画像データは、読み出されてフレームメモリ124Aに供給され、探索フレームの画像データとして蓄積される。

演算回路130には、フレームメモリ123から参照ブロックの画像データが読み出されて供給される。また、この演算回路130には、当該参照ブロックに対応した探索範囲の複数の候補ブロックの画素データが読み出されて供給される。そして、この演算回路130では、複数の候補ブロックのそれぞれに対し、この候補ブロックの画素データと参照ブロックの画素データとの差分絶対値が、対応する画素データ毎に演算されて出力される。

このように、演算回路130より出力される、複数の候補ブロックのそれぞれに対応する画素データ毎の差分絶対値は累積器126に順次供給されて累積される。この累積器126からの複数の候補ブロックのそれぞれに対する累積値は、相関値テーブル127に供給され、相関値として格納される。そして、判断回路128では、このように相関値テーブル127に格納された複数の候補ブロックのそれぞれに対する相関値に基づき、最小の相関値を発生する候補ブロックの位置が動きベクトルMVとして検出される。

フレームメモリ123から演算回路130には参照フレーム内の複数の参照ブロックの画素データが順次供給される。そして、各参照ブロックの画素データに対応して、フレームメモリ124Aから演算回路130には複数の候補ブロックの画素データ供給される。したがって、各参照ブロックに対応して、演算回路130、累積器126、相関値テーブル127および判断回路128では上述した動作が繰り返され、従って判断回路128では、各参照ブロックに対応した動きベクトルMVが順次検出される。このように、判断回路128で検出された動きベクトルMVは出力端子129に出力される。

このように、図34に示す動きベクトル検出回路111Aにおいても、図6に示す動きベクトル検出回路111と同様に、動きベクトルMVを良好に検出でき

る。

また、上述実施の形態においては、動きベクトル検出回路 111, 111Aでは、判断回路 128で、差分絶対値の累積値（絶対値和）に基づいて動きベクトルMVを検出するものであったが、二乗和または絶対値のn乗和などに基づいて動きベクトルを検出するものも同様に構成することができる。その場合、図6に示す動きベクトル検出回路 111では、フレームメモリ 124から直接、差分の二乗値あるいは差分のn乗値を得るようにすればよく、一方図34に示す動きベクトル検出回路 111Aでは、演算回路 130で差分の二乗値あるいは差分のn乗値を演算すればよい。

また、上述実施の形態においては、この発明に係るメモリ装置を、動きベクトル検出回路 111 (111A)、動き補償予測符号化装置 100に適用したものを示したが、その他の装置にも同様に適用できることは勿論である。

この発明に係るメモリ装置によれば、複数の選択線のそれぞれが複数の分割選択線からなるようにすると共に、各分割領域で同時に活性化される分割選択線を切り換える切り換え機構を設けるものであり、例えば画像データを構成する画素データをマトリックス状に配された複数のメモリセルに適切に配置しておくことで、矩形または十字形等の任意の形状の画素ブロックを構成する画素データを同時にアクセスでき、この画素ブロックを構成する画素データを一括、同時に処理することができ、また当該画素ブロックの位置を容易に変更できる。したがって、これら画素ブロックを構成する画素データを用いるデータ処理を高速かつ効率的に行うことが可能となる。

例えば、1つの分割セル選択線に対応する複数のメモリセルに、画像データを構成する垂直方向または水平方向の整数列分の画素データが記憶されることにより、上述の画素ブロックを、水平方向または垂直方向に整数画素単位で移動でき、それと直交する方向に1画素単位で移動できる。

また、この発明に係るメモリ装置によれば、メモリブロックを構成するメモリセルに論理演算を行う演算機能部が含まれていると共に、このメモリブロックに演算データを用いて数値演算を行うための演算補助セルを有するものであり、幅の広いデータ・バスを用いて処理回路にデータを伝送することなく、高速かつ効

率的に所望の演算処理を行わせることができる。

また、この発明に係るメモリ装置によれば、記憶データの書き込み、読み出しは、複数のビット線、複数のワード線を用いて行われ、演算データの出力は、複数の参照データ入力線、複数の演算データ出力線および複数のセル選択線を用いて行われるものであり、記憶データの書き込み、読み出しと、演算データの出力とを独立して行うことができ、全体としてより柔軟で効率的な処理が可能となる。

また、この発明に係るメモリ装置によれば、複数のメモリブロックで構成されることで、必要なメモリブロックのみを活性化させて使用でき、消費電力を少なく抑えることができる。

また、この発明に係るメモリ装置によれば、1個または2個以上のメモリブロックの他に、メモリブロックより出力される演算データに基づく処理を行う回路ブロックを有するものであり、さらに処理の高速化、効率化を図ることが可能となる。

また、この発明に係る動きベクトル検出装置および動き補償予測符号化装置は、この発明に係るメモリ装置を用いるものであり、動きベクトル検出のための処理の高速化、効率化が図られる。動きベクトル検出のための処理の高速化、効率化が図られる。

次に、図1に示す動き補償予測符号化装置110における動きベクトル検出回路111の他の構成例について説明する。以下、この他の構成例の動きベクトル検出回路111を、便宜上、動きベクトル検出回路300とする。

この動きベクトル検出回路300でも、ブロックマッチング法により動きベクトルが検出される。また、この動きベクトル検出回路300では、入力画像データについて平均値階層化の手法によつて複数階層の画像データを形成すると共に、各階層の高周波成分（以下、「アクティビティ」と呼ぶ）を表すデータについても階層化（以下、「アクティビティ階層化」と呼ぶ）してアクティビティデータを形成し、階層毎にこれらを用いて動きベクトル（動き量）を検出する。

實際上それぞれ階層化された画像データとアクティビティデータについては、上位階層から順にブロックマッチング法で評価値を求め、これらを総合判断することにより、その階層の動きベクトルを求める。この動きベクトルに基づいて順

次下位階層の評価値を求める際に動き補償して参照することにより、入力画像の動きベクトルを検出する。

図35A及び図35Bは、階層化された画像データを生成する例を示している。図35Aは入力画像データについて3階層に階層化された画像データを生成する場合である。階層1は入力画像データそのものである。この場合、階層 n ($n=2, 3$)の画像データ $M_n(x, y)$ は、(5)式のように平均値化によって求めることができる。ここで、階層 n のブロックサイズは、階層 $n-1$ と比べて水平方向および垂直方向のそれぞれに $1/2$ となる。このように生成された階層1～階層3の画像データはそれぞれ解像度が異なるものとなる。

$$M_n(x, y) = \frac{1}{4} \sum_{i=0}^1 \sum_{j=0}^1 M_{n-1}(2x-1+i, 2y-1+j) \quad \dots (5)$$

また、図35Bに示すように、平均値階層化された画像データについてアクティビティ階層化してアクティビティデータを生成する。階層2のアクティビティデータを $\Delta_2(x, y)$ とすると、このアクティビティデータ $\Delta_2(x, y)$ は、(6)式に示すように、階層2の画像データと入力画像データ（階層1の画像データ）との対応する画素の差分の絶対値和によって求められる。

$$\Delta_2(x, y) = \frac{1}{4} \sum_{i=0}^1 \sum_{j=0}^1 |M_1(2x-1+i, 2y-1+j) - M_2(x, y)| \quad \dots (6)$$

同様に、階層3のアクティビティデータを $\Delta_3(x, y)$ とすると、このアクティビティデータ $\Delta_3(x, y)$ は、(7)式に示すように、階層3の画像データと入力画像データ（階層1の画像データ）との対応する画素の差分の絶対値和によって求められる。

$$\Delta_3(x, y) =$$

$$\frac{1}{16} \sum_{i=0}^3 \sum_{j=0}^3 |M_1(4x-3+i, 4y-3+j) - M_3(x, y)|$$

... (7)

5

(6) 式、(7) 式に示すように、アクティビティデータ $\Delta_2(x, y)$, $\Delta_3(x, y)$ をいずれも入力画像データを基底にして求めるようにしたことにより、アクティビティデータとして入力画像データに忠実な高周波成分を抽出できる。

このようにしてアクティビティデータを求めると、その階層構造は図 3 5 B に示すようになり、最下位階層以外での階層プレーンを持つことになる。このアクティビティデータは、平均値階層化したときに画像データ中で欠落する特徴量を反映していることになる。

ここで、図 3 6 A 及び図 3 6 B を用いて階層構造の具体例を示す。図 3 6 A は、平均値階層を示しており、図 3 6 B はアクティビティ階層を示している。

15 入力画像データ (階層 1 の画像データ) 中の 4×4 の画素 $x_1, x_2, \dots, x_{15}, x_{16}$ となるブロックに対して階層化する場合、平均値階層化の階層 2 の画像データ中の画素 y_1, y_2, y_3, y_4 は、(5) 式に基づいて、それぞれ (8) 式により求められる。

$$y_1 = (x_1 + x_2 + x_3 + x_4) / 4$$

$$20 \quad y_2 = (x_5 + x_6 + x_7 + x_8) / 4$$

$$y_3 = (x_9 + x_{10} + x_{11} + x_{12}) / 4$$

$$y_4 = (x_{13} + x_{14} + x_{15} + x_{16}) / 4 \quad \dots (8)$$

さらに、この階層 2 の 2×2 の画素 y_1, y_2, y_3, y_4 に対して階層化する場合、平均値階層化の階層 3 の画像データ中の画素 z_1 は、(5) 式に基づいて、(9) 式により求められる。

25

$$z_1 = (y_1 + y_2 + y_3 + y_4) / 4 \quad \dots (9)$$

また同様にして、アクティビティ階層化してなる階層 2 のアクティビティデータは、平均値階層化された階層 2 の画像データの画素 y_1, y_2, y_3, y_4 と階層 1 の画像データの画素 $x_1, x_2, \dots, x_{15}, x_{16}$ を用いて、(6) 式

に基づいて、(10)式により求められる。

$$a_1 = (|x_1 - y_1| + |x_2 - y_1| + |x_3 - y_1| + |x_4 - y_1|) / 4$$

$$a_2 = (|x_5 - y_2| + |x_6 - y_2| + |x_7 - y_2| + |x_8 - y_2|) / 4$$

$$a_3 = (|x_9 - y_3| + |x_{10} - y_3| + |x_{11} - y_3| + |x_{12} - y_3|) / 4$$

$$a_4 = (|x_{13} - y_4| + |x_{14} - y_4| + |x_{15} - y_4| + |x_{16} - y_4|) / 4$$

... (10)

さらに、アクティビティ階層化してなる階層3のアクティビティデータは、平均値階層化された階層3の画像データの画素 z_1 と階層1の画像データの画素 x_1 、 x_2 、……、 x_{15} 、 x_{16} を用いて、(7)式に基づいて、(11)式により求められる。

$$b_1 = (|x_1 - z_1| + |x_2 - z_1| + |x_3 - z_1| + |x_4 - z_1| + |x_5 - z_1| + |x_6 - z_1| + |x_7 - z_1| + |x_8 - z_1| + |x_9 - z_1| + |x_{10} - z_1| + |x_{11} - z_1| + |x_{12} - z_1| + |x_{13} - z_1| + |x_{14} - z_1| + |x_{15} - z_1| + |x_{16} - z_1|) / 16$$

... (11)

上述のようにして求めた平均値階層化した画像データとアクティビティ階層化したアクティビティデータを用いて、各階層でブロックマッチング法による動きベクトル検出を行う。すなわち、ブロックマッチングの評価関数は、現フィールドを t で表すと、(12)式で求められる。ただし、 (u_n, v_n) は、階層 n での動きベクトルを示している。

$$E(Y)_n(u_n, v_n) =$$

$$\sum_x \sum_y |M_n^{t-2}(x - u_n - 2u_{n+1}, y - v_n - 2v_{n+1}) - M_n^t(x, y)|$$

... (12)

5

この評価関数 $E(Y)_n$ の最小を与える $V'_n = (u_n, v_n)$ を、求める動きベクトルとする。現在の階層における動きベクトル V_n は、(13) 式の関係に基づいて、求めることができる。

$$V_n = V'_n + 2V_{n+1} \quad \dots (13)$$

- 10 本実施の形態においては、図35Bのアクティビティデータについても、(12) 式と同様に、(14) 式により評価関数を求める。

$$E(D)_n(u_n, v_n) =$$

$$\sum_x \sum_y |\Delta_n^{t-2}(x - u_n - 2u_{n+1}, y - v_n - 2v_{n+1}) - \Delta_n^t(x, y)|$$

15

... (14)

そして、新たな評価関数 $E(G)_n$ を、(15) 式とする。ただし、 w_1 、 w_2 は重み係数である。そして評価関数 $E(G)_n$ の最小を与える動きベクトルを求める。なお、最下位階層ではアクティビティデータが存在しないため、(12) 式の評価関数 $E(Y)_n$ のみによる評価を行う。

20

$$E(G)_n = w_1 \cdot E(Y)_n + w_2 \cdot E(D)_n \quad \dots (15)$$

このように平均値階層化された画像データとアクティビティ階層化されたアクティビティデータの両者を用いて評価することにより、一方の階層の最適評価値が誤検出であっても、もう一方の評価値で正しい検出ができるようになり、各階層における動きベクトル検出の精度が向上する。このように各階層における動きベクトル検出精度が向上すると、(13) 式で求める最終的な動きベクトルも検出精度が向上する。

25

図37のフローチャートは、ある参照ブロック（例えば 16×16 のブロックサイズ）における動きベクトル検出処理の手順を示している。

まず、ステップSP1において、入力画像データから動きベクトルを検出すべき参照ブロックを得る。次に、ステップSP2で、参照ブロックの画像データを、(5)式に従って平均値階層化すると共に、(6)式および(7)式に従ってアクティビティ階層化して、例えば階層1、階層2および階層3の画像データと、階層2および階層3のアクティビティデータを生成する。

次に、ステップSP3で、現在処理済みの階層が最下位階層(階層1)か否か判断する。現在処理済みの階層が最下位階層でないときは、ステップSP4で、全サーチ領域について探索終了か否かを判断する。ここで、探索終了でないときは、ステップSP5で、画像データおよびアクティビティデータの現在および過去のデータ(過去のデータはメモリに蓄積されている)を用いて、(12)式および(14)式に基づいて評価関数 $E(Y)_n$ 、 $E(D)_n$ による評価値を求め、ステップSP4に戻る。

一方、ステップSP4で、探索終了であるときは、ステップSP6で、画像データおよびアクティビティデータについて求めた評価関数 $E(Y)_n$ および $E(D)_n$ を用いて、(15)式より得られる新たな評価関数 $E(G)_n$ による評価を行って最適評価値を求め、その後にステップSP7に移る。

ステップSP7では、最適評価値より動きベクトル V' を決定する。そして、次に、ステップSP8で、(13)式に基づいて、上位階層で決定された動きベクトル V_{n+1} を2倍して加算し、現在処理している階層における動きベクトル V_n を求める。その後に、ステップSP3に戻る。

ステップSP3で、現在処理済みの階層が最下位階層であるときは、ステップSP9で、当該参照ブロックの動きベクトルの検出処理を終了する。

図38は、動きベクトル検出回路300の構成を示している。この動きベクトル検出部300においては、入力画像データ D_i がブロック回路302に入力され、所定のサイズ(例えば16×16のブロックサイズ)で順次ブロック化される。ブロック回路302から順次出力される参照ブロックの画像データは、それぞれ階層1のフレームメモリ303および評価値算出回路304、階層2の平均値階層化回路305、アクティビティ階層化回路306、階層3のアクティビティ階層化回路307に入力される。

階層 2 の平均値階層化回路 3 0 5 では、ブロック回路 3 0 2 より順次出力される参照ブロックの階層 1 の画像データについて、(5) 式の演算による平均値階層化処理を実行して参照ブロックの階層 2 の画像データを求める。この結果得られる階層 2 の画像データは、階層 2 のフレームメモリ 3 0 9、アクティビティ階層化回路 3 0 6 および評価値算出回路 3 2 6、階層 3 の平均値階層化回路 3 1 0 5 に入力される。

階層 2 のアクティビティ階層化回路 3 0 6 では、ブロック回路 3 0 2 より順次出力される参照ブロックの階層 1 の画像データと、平均値階層化回路 3 0 5 より出力される当該参照ブロックの階層 2 の画像データとを用いて、(6) 式の演算 10 によるアクティビティ階層化処理を実行して、参照ブロックの階層 2 のアクティビティデータを求める。この結果得られる階層 2 のアクティビティデータは、それぞれ階層 2 のフレームメモリ 3 1 2 および評価値算出回路 3 2 7 に入力される。

階層 3 の平均値階層化回路 3 1 0 では、平均値階層化回路 3 0 5 より順次出力される参照ブロックの画像データについて、(5) 式の演算による平均値階層化 15 処理を実行して参照ブロックの階層 3 の画像データを求める。この結果得られる階層 3 の画像データは、階層 3 のフレームメモリ 3 1 4、アクティビティ階層化回路 3 0 7 および評価値算出回路 3 1 9 に入力される。

階層 3 のアクティビティ階層化回路 3 0 7 では、ブロック回路 3 0 2 より順次出力される参照ブロックの画像データと、平均値階層化回路 3 1 0 より出力される 20 当該参照ブロックの階層 3 の画像データとを用いて、(7) 式の演算によるアクティビティ階層化処理を実行して、参照ブロックの階層 3 のアクティビティデータを求める。この結果得られる階層 3 のアクティビティデータは、階層 3 のフレームメモリ 3 1 6 および評価値算出回路 3 2 0 に入力される。

動きベクトル検出回路 3 0 0 では、ブロック回路 3 0 2 より順次出力される参照 25 ブロックの画像データが、図 3 5 A に示すように、階層 1、階層 2 および階層 3 の画像データとして平均値階層化されると共に、図 3 5 B に示すように、階層 2 および階層 3 のアクティビティデータとしてアクティビティ階層化される。

そして、各参照ブロックのそれぞれの動きベクトルの検出においては、まず最上位階層である階層 3 における動きベクトルの検出が行われる。フレームメモリ

314に格納されている、1フレーム前のフレーム（探索フレーム）における階層3の画像データより、サーチブロック回路317で、サーチ領域（探索範囲）内の各候補ブロックに対応した階層3の画像データが順次読み出されて評価値算出回路319に供給される。

- 5 評価値算出回路319では、平均値階層化回路310からの参照ブロックの階層3の画像データと、サーチブロック317からの各候補ブロックの階層3の画像データとを用いて、(12)式の評価関数 $E(Y)$ に基づいて、各候補ブロックの評価値を求める。

- 10 また、フレームメモリ316に格納されている、1フレーム前のフレーム（探索フレーム）における階層3のアクティビティデータより、サーチブロック回路318で、サーチ領域（探索範囲）内の各候補ブロックに対応した階層3のアクティビティデータが順次読み出されて評価値算出回路320に供給される。

- 15 評価値算出回路320では、アクティビティ階層化回路307からの参照ブロックの階層3のアクティビティデータと、サーチブロック318からの各候補ブロックの階層3のアクティビティデータとを用いて、(14)式の評価関数 $E(D)$ に基づいて、各候補ブロックの評価値を求める。

- 20 評価値算出回路319、320でそれぞれ求められ各候補ブロックの評価値は、加算回路321で、(15)式に基づいて重み付け加算される。この結果得られる新たな評価関数 $E(G)$ に基づく各候補ブロックの評価値は動きベクトル検出部322に入力される。

- 25 本実施の形態において、評価値算出回路340（319、320）は、図39に示すように構成されている。すなわち、評価値算出回路340においては、参照ブロックメモリ341と候補ブロックメモリ342とを有している。参照ブロックメモリ341は、平均値階層化回路310からの参照ブロックの階層3の画像データ、あるいはアクティビティ階層化回路307からの参照ブロックの階層3のアクティビティデータを格納する。候補ブロックメモリ342は、サーチブロック回路317からの候補ブロックの階層3の画像データ、あるいはサーチブロック回路318からの候補ブロックの階層3のアクティビティデータを格納する。

この参照ブロックメモリ 3 4 1 および候補ブロックメモリ 3 4 2 の内容が、メモリコントローラ 3 4 3 で指定されたアドレスの順に読み出され、それぞれレジスタ 3 4 4 およびレジスタ 3 4 5 を通じて減算回路 3 4 6 で減算される。この結果得られる差分データは絶対値化回路 3 4 7 で絶対値化され、加算回路 3 4 8 およびレジスタ 3 4 9 で累積加算される。この累積加算結果は、当該候補ブロックの評価値となる。評価値算出回路 3 4 0 で順次算出される各候補ブロックの評価値は、評価値メモリ 3 5 0 に、評価値メモリコントローラ 3 5 1 より指定されたアドレスの順に従って入力される。

10 なお、実際には、階層 2 および階層 3 における処理では、平均値階層化された画像データについての評価値と、アクティビティ階層化されたアクティビティデータについての評価値が、重み付け加算されて評価値メモリ 3 5 0 に記憶される。

本実施の形態において、動きベクトル検出部 3 6 0 (3 2 2) は、図 4 0 に示すように構成されている。すなわち、動きベクトル検出部 3 6 0 では、各候補ブロックの評価値が、評価値メモリ 3 5 0 より、順次評価値メモリコントローラ 3 5 1 より指定されたアドレスに従って読み出され、比較器 3 6 1 およびレジスタ 3 6 2 に入力される。比較器 3 6 1 は他方の入力と評価値メモリ 3 5 0 より読み出された評価値を順次比較し、このうち評価値メモリ 3 5 0 より読み出された評価値が小さいとき、レジスタ 3 6 2 およびレジスタ 3 6 3 の内容を更新する信号を送出する。

20 レジスタ 3 6 3 には、評価値メモリ 3 5 0 を読み出すアドレスが順次設定される。このようにして評価値メモリ 3 5 0 に記憶された評価値が順次評価され、そのうちの評価値の最小を与えるアドレスがレジスタ 3 6 3 より送出され、これが動きベクトル検出部 3 6 0 の出力、すなわち動きベクトル MV として出力される。

25 図 3 8 に戻って、次に、階層 2 における動きベクトルの検出が行われる。この場合、上述したように階層 3 の動きベクトル検出部 3 2 2 で得られる階層 3 の動きベクトルは、階層 2 のフレームメモリ 3 0 9, 3 1 2 に供給され、この動きベクトルによつてサーチ領域が動き補償される。

そして、フレームメモリ 3 0 9 に格納されている、1 フレーム前のフレーム (探索フレーム) における階層 2 の画像データより、サーチブロック回路 3 2 4

で、サーチ領域（探索範囲）内の各候補ブロックに対応した階層 2 の画像データが順次読み出されて評価値算出回路 3 2 6 に供給される。この階層 2 におけるサーチ領域は、上述した階層 3 におけるサーチ領域より狭くされる。

5 評価値算出回路 3 2 6 では、平均値階層化回路 3 0 5 からの参照ブロックの階層 2 の画像データと、サーチブロック回路 3 2 4 からの各候補ブロックの階層 2 の画像データとを用いて、(1 2) 式の評価関数 $E(Y)$ に基づいて、各候補ブロックの評価値を求める。

10 また、フレームメモリ 3 1 2 に格納されている、1 フレーム前のフレーム（探索フレーム）における階層 2 のアクティビティデータより、サーチブロック回路 3 2 5 で、サーチ領域（探索範囲）内の各候補ブロックに対応した階層 2 のアクティビティデータが順次読み出されて評価値算出回路 3 2 7 に供給される。

15 評価値算出回路 3 2 7 では、アクティビティ階層化回路 3 0 6 からの参照ブロックの階層 2 のアクティビティデータと、サーチブロック回路 3 2 5 からの各候補ブロックの階層 2 のアクティビティデータとを用いて、(1 4) 式の評価関数 $E(D)$ に基づいて、各候補ブロックの評価値を求める。

20 評価値算出回路 3 2 6, 3 2 7 でそれぞれ求められ各候補ブロックの評価値は、加算回路 3 2 8 で、(1 5) 式に基づいて重み付け加算される。この結果得られる新たな評価関数 $E(G)$ に基づく各候補ブロックの評価値は動きベクトル検出部 3 2 9 に入力される。そして、動きベクトル検出部 3 2 9 では、各候補ブロックの評価値が順次評価され、動きベクトルが得られる。

25 この動きベクトル検出部 3 2 9 で得られる動きベクトルは、加算回路 3 2 3 で、(1 3) 式に示すように、階層 3 の動きベクトルと加算され、階層 2 の動きベクトルとなる。なお、評価値算出回路 3 2 6, 3 2 7 および動きベクトル検出部 3 2 9 も、上述した評価値算出回路 3 4 0 (図 3 9 参照) および動きベクトル検出部 3 6 0 (図 4 0 参照) と同様に構成されている。

次に、階層 1 における動きベクトルの検出が行われる。この場合、上述したように加算回路 3 2 3 で得られる階層 2 の動きベクトルは、階層 1 のフレームメモリ 3 0 3 に供給され、この動きベクトルによつてサーチ領域が動き補償される。

そして、フレームメモリ 3 0 3 に格納されている、1 フレーム前のフレーム

(探索フレーム)における階層1の画像データより、サーチブロック回路331で、サーチ領域(探索範囲)内の各候補ブロックに対応した階層1の画像データが順次読み出されて評価値算出回路304に供給される。この階層1におけるサーチ領域は、上述した階層2におけるサーチ領域よりさらに狭くされる。

- 5 評価値算出回路304では、ブロック回路302からの参照ブロックの階層1の画像データと、サーチブロック回路331からの各候補ブロックの階層1の画像データとを用いて、(12)式の評価関数 $E(Y)$ に基づいて、各候補ブロックの評価値を求める。

- 10 評価値算出回路304で求められ各候補ブロックの評価値は、動きベクトル検出部332に入力される。この動きベクトル検出部332では、各候補ブロックの評価値が順次評価され、動きベクトルが得られる。この動きベクトルは、加算回路330で、(13)式に示すように、階層2の動きベクトルと加算され、階層1の動きベクトル、つまり求めるべき参照ブロックの動きベクトルMVとして出力される。なお、評価値算出回路304および動きベクトル検出部332も、
15 上述した評価値算出回路340(図39参照)および動きベクトル検出部360(図40参照)と同様に構成されている。

- このようにして、画像を複数の解像度で階層化し、この階層画像を用いてブロックマッチング法で動きベクトルを検出する際、アクティビティ階層化したアクティビティデータについて求めた評価値を階層毎の評価の対象とするようにしたので、少ない計算量で動き量を高い精度で検出できる。
20

また、本実施の形態において、階層1, 2, 3の画像データがそれぞれ記憶されるフレームメモリ303, 309, 314は、同一のメモリブロック450によって構成されている。

- 図41は、このメモリブロック450内のメモリ・セル・アレイ460の一部
25 460aの構成を示している。この一部460aには、階層1の16画素の画像データ(図36Aの画素x1~x16に相当)、それより得られる階層2の4画素の画像データ(図36Aの画素y1~y4に相当)、それより得られる階層3の1画素の画像データ(図36Aの画素z1に相当)が記憶される。なお、各画素の画像データはそれぞれ8ビットのデータである。

この一部460aには、カラム方向（列方向）に21個、ロウ方向（行方向）に8個のメモリセル461がマトリックス状に配されている。各行の21個のメモリセル461は、5個の第1のメモリセル461aと、16個の第2のメモリセル461bとからなっている。16個の第2のメモリセル461bには、階層1の2画素分の画像データ（16ビット）が記憶される。5個の第1のメモリセル461aには、階層2の画像データの4ビットおよび階層3の画像データの1ビットが記憶される。

第1のメモリセル461aおよび第2のメモリセル461bは、それぞれ第1のワード線としてのワード線WL1に接続される。また、第1のメモリセル461aは、第2のワード線としてのワード線WL2、WL3に接続される。ワード線WL1_i~WL1_{i+7}は、それぞれカラム方向に延在し、このカラム方向に並ぶ21個のメモリセル461（461a、461b）に接続される。

また、ワード線WL2_k、WL2_{k+1}は、それぞれ4行にわたる階段状パターンで配され、各行の4個の第1のメモリセル461aに接続される。同様に、ワード線WL3_jは、8行にわたる階段状パターンで配され、各行の1個の第1メモリセル461aに接続される。このように、ワードWL2_k、WL2_{k+1}が接続される第1のメモリセル461aとワード線WL3_jが接続される第1のメモリセル461aとは異なっている。

なお、以上の説明は、階層1~3のそれぞれ16画素、4画素、1画素の画像データを記憶するメモリ・セル・アレイ460の一部460aについてであるが、その他の対応する部分も同様に構成されている。したがって、ワード線WL2、WL3の階段状パターンは、カラム方向には、21個のメモリセル単位で繰り返されている。

図41に示すようなメモリ・セル・アレイ460の一部460aでは、ワード線WL1により、カラム方向に延在する21個のメモリセル461（461a、461b）が同時に活性化され、これらのメモリセル461に対して、画像データの書き込み、読み出しが可能となる。

また、この一部460aでは、ワード線WL2により、4行にわたって階段状パターンに配された16個の第1のメモリセル461aが同時に活性化され、こ

これらの第1のメモリセル461aに対して、画像データの書き込み、読み出しが可能となる。また、この一部460aでは、ワード線WL3により、8行にわたって階段状パターンに配された8個の第1のメモリセル461aが同時に活性化され、これらの第1のメモリセル461aに対して、画像データの書き込み、読み出しが可能となる。

そのため、本実施の形態において、階層1の画像データは、ワード線WL1によって第2のメモリセル461bを活性化して、書き込み読み出しを行うことができる。また、階層2の画像データは、ワード線WL2によって第1のメモリセル461aを活性化して、書き込み読み出しを行うことができる。さらに、階層3の画像データは、ワード線WL3によって第1のメモリセル461aを活性化して、書き込み読み出しを行うことができる。

このように、階層1～階層3の画像データは同一のメモリブロック450に記憶されると共に、階層2、階層3の画像データをそれぞれ階層1の画像データとは独立して書き込み読み出しを行うことができ、動きベクトルの検出処理を効率よく行うことができる。

次に、第1のメモリセル461aについて説明する。図42は、第1のメモリセル461aの構成例を示している。負荷素子であるP型MOSトランジスタQ1とN型MOSトランジスタQ3とが電源と接地との間に直列に接続されてCMOSインバータ471が形成されていると共に、負荷素子であるP型MOSトランジスタQ2とN型MOSトランジスタQ4とが電源と接地との間に直列に接続されてCMOSインバータ472が形成されている。そして、これらCMOSインバータ471、472の各出力、すなわち記憶ノードN1、N2の各電位が互いに他のCMOSインバータ472、471の入力、すなわちN型MOSトランジスタQ4、Q3の各ゲート入力となっている。

CMOSインバータ471の記憶ノードN1は、ワード線WL1にゲートが接続されたアクセストランジスタQ5、およびワード線WL2またはワード線WL3にゲートが接続されたアクセストランジスタQ6の双方を介してビット線BLに接続されている。ここで、アクセストランジスタQ5、Q6は並列接続されている。

一方、CMOSインバータ472の記憶ノードN2は、ワード線WL1にゲートが接続されたアクセストランジスタQ7、およびワード線WL2またはワード線WL3にゲートが接続されたアクセストランジスタQ8の双方を介してビット線/BL (/BLはBLバーを表している) に接続されている。ここで、アクセ

5 トランジスタQ7、Q8は並列接続されている。

このような構成の第1のメモリセル461aにおいて、一对のCMOSインバータ471、472で構成されるメモリセル部473には、“1”または“0”のデータが記憶される。そして、このメモリセル部473とビット線BL、/BLとの間で、アクセストランジスタQ5、Q7、あるいはアクセストランジスタQ

10 6、Q8を介して、読み出しおよび書き込みのデータ転送が行われる。つまり、メモリセル部473の選択を、ワード線WL1、あるいはワード線WL2、WL3のいずれかにより行うことができる。

なお、図42に示す第1のメモリセル461aは、通常のSRAM (Static Random Access Memory)セルをベースにしたものであるが、高抵抗負荷型やTFT

15 負荷型などの他のタイプのSRAMセルをベースにしたものであってもよく、あるいはDRAM (Dynamic Random Access Memory)セル等のその他のタイプのメモリセルをベースにしたものであってもよい。

次に、第2のメモリセル461bについて説明する。図43は、第2のメモリセル461bの構成例を示している。この図43において、図42と対応する部

20 分には同一符号を付して示している。

負荷素子であるP型MOSトランジスタQ1とN型MOSトランジスタQ3とが電源と接地との間に直列に接続されてCMOSインバータ471が形成されていると共に、負荷素子であるP型MOSトランジスタQ2とN型MOSトランジスタQ4とが電源と接地との間に直列に接続されてCMOSインバータ472が

25 形成されている。そして、これらCMOSインバータ471、472の各出力、すなわち記憶ノードN1、N2の各電位が互いに他のCMOSインバータ472、471の入力、すなわちN型MOSトランジスタQ4、Q3の各ゲート入力となっている。

CMOSインバータ471の記憶ノードN1は、ワード線WL1にゲートが接

続されたアクセストランジスタQ5を介してビット線BLに接続されている。一方、CMOSインバータ472の記憶ノードN2は、ワード線WL1にゲートが接続されたアクセストランジスタQ7を介してビット線/BLに接続されている。

このような構成の第2のメモリセル461bにおいて、一対のCMOSインバータ471, 472で構成されるメモリセル部473には、“1”または“0”のデータが記憶される。そして、このメモリセル部473とビット線BL, /BLとの間で、アクセストランジスタQ5, Q7を介して、読み出しおよび書き込みのデータ転送が行われる。つまり、メモリセル部473の選択を、ワード線WL1により行うことができる。

10 なお、図43に示す第2のメモリセル461bは、通常のSRAMセルであるが、高抵抗負荷型やTFT負荷型などの他のタイプのSRAMセルであってもよく、あるいはDRAMセル等のその他のタイプのメモリセルであってもよい。

次に、フレームメモリ303, 309, 314を構成するメモリブロック450について説明する。図44は、メモリブロック450の構成を示している。

15 メモリブロック450は、複数のメモリセルがマトリックス状に配されたメモリ・セル・アレイ460と、記憶データ入出力用ポート462と、第1～第3の記憶データ用ロウ・アドレス・デコーダ463～465と、制御回路466とを有している。

20 記憶データ入出力用ポート462は、記憶データ用カラム・アドレス・デコーダ462a、アドレス・バッファ462bおよびI/Oバッファ462cで構成されている。カラム・アドレス・デコーダ462aには、I/Oゲート（カラム・スイッチ）やセンスアンプ等が含まれている。カラム・アドレス・デコーダ462aには、アドレス・バッファ462bを介してカラム・アドレスが入力される。

25 カラム・アドレス・デコーダ462aは、アドレス・バッファ462bを介して供給されるカラム・アドレスに対応して、メモリ・セル・アレイ460のカラム方向の所定の複数のメモリセル461に接続される複数のビット線BL, /BLとの接続を確保し、I/Oバッファ462cおよびカラム・アドレス・デコーダ462aを通じて、当該カラム方向の所定のメモリセルに対する、記憶データの

書き込み、読み出しが可能となるようにする。

また、第1の記憶データ用ロウ・アドレス・デコーダ463には、アドレス・バッファ463aを介してロウ・アドレスが入力される。ロウ・アドレス・デコーダ463は、アドレス・バッファ463aを介して供給されるロウ・アドレス
5 に対応して、メモリ・セル・アレイ460のロウ方向の所定のメモリセル461に接続されるワード線WL1を活性化し、I/Oバッファ462cおよびカラム・アドレス・デコーダ462aを通じて、当該ロウ方向の所定のメモリセル461(461a, 461b)に対する、記憶データの書き込み、読み出しが可能となるようにする。

10 また、第2の記憶データ用ロウ・アドレス・デコーダ464には、アドレス・バッファ464aを介してロウ・アドレスが入力される。ロウ・アドレス・デコーダ464は、アドレス・バッファ464aを介して供給されるロウ・アドレスに対応して、メモリ・セル・アレイ460のロウ方向の所定のメモリセル461に接続されるワード線WL2を活性化し、I/Oバッファ462cおよびカラム
15 ・アドレス・デコーダ462aを通じて、当該ロウ方向の所定のメモリセル461(461a)に対する、記憶データの書き込み、読み出しが可能となるようにする。

また、第3の記憶データ用ロウ・アドレス・デコーダ465には、アドレス・バッファ465aを介してロウ・アドレスが入力される。ロウ・アドレス・デコーダ465は、アドレス・バッファ465aを介して供給されるロウ・アドレス
20 に対応して、メモリ・セル・アレイ460のロウ方向の所定のメモリセル461に接続されるワード線WL3を活性化し、I/Oバッファ462cおよびカラム・アドレス・デコーダ462aを通じて、当該ロウ方向の所定のメモリセル461(461a)に対する、記憶データの書き込み、読み出しが可能となるように
25 する。

また、制御回路466は、メモリブロック450の上述した各回路の動作を、制御入力に基づいて制御する。

以上説明したように、上述実施の形態においては、動きベクトル検出回路300(図38参照)のフレームメモリ303, 309, 314は同一のメモリプロ

ック４５０（図４４参照）で構成される。そして、階層１～階層３の画像データは同一のメモリブロック４５０に記憶されると共に、階層２、階層３の画像データをそれぞれ階層１の画像データとは独立して書き込み読み出しを行うことができる。したがって、動きベクトルの検出処理を効率よく行うことができる。

- 5 なお、上述実施の形態においては、画像データを３階層に階層化して動きベクトルMVを検出する例を示したが、画像データを２階層または４階層以上に階層化して動きベクトルを検出するものにもこの発明を同様に適用することができる。この場合、同一のメモリブロックに各階層の画像データが記憶されることとなる。

すなわち、メモリ・セル・アレイは、上述実施の形態と同様に、第１のメモリ
10 セル４６１aと、第２のメモリセル４６１bとが混在してマトリックス状に配されて構成される。第１のメモリセル４６１aは、マトリックスの列方向に延在するように配された第１のワード線およびマトリックスの複数の行にわたる階段状パターンで配された第２のワード線にそれぞれ接続される。第２のメモリセル４
6 ６１bは、第１のワード線のみ接続される。

- 15 第２のワード線が接続される第１のメモリセル４６１aには、最下位階層（階層１）以外の階層の画像データが記憶される。４階層以上に階層化する場合、上述実施の形態と同様に、階段状パターンを異にする複数の第２のワード線が存在し、複数の第２のワード線にそれぞれ接続される第１のメモリセル４６１aは異なるものとされ、それぞれに階層の異なる画像データが記憶されるようになさ
20 れる。

また、上述実施の形態においては、図４１に示すように、カラム方向に２１個、
ロウ方向に８個のメモリセル４６１がマトリックス状に配されたメモリ・セル・
アレイ４６０の一部４６０aに、階層１～３の対応する画像データを記憶するよ
うに説明したが、各階層の対応する画像データを、それぞれ別個のマトリックス
25 状に配されたメモリ・セル・アレイ４６０の一部４６０aに記憶するようにしてもよい。

また、上述実施の形態における、第１のメモリセル４６１aは、図４２に示すように、２個のアクセストランジスタが並列に接続されたものを示したが、３個以上のアクセストランジスタが並列に接続されるものも同様に構成できる。その

場合、この3個以上のアクセストランジスタのそれぞれに接続されるワード線のいずれかを用いて、メモリセル部の選択を行うことができる。

また、上述実施の形態においては、メモリ・セル・アレイ460の第2のメモリセル461bには最下位階層（階層1）の画像データが記憶され、第1のメモリセル461aには順次平均値階層化された最下位階層以外の階層の画像データが記憶されるものであるが、一般的には第2のメモリセル461bに記憶される画像データに対し、これを処理して得られた画像データなどを第1のメモリセル461aに記憶することができる。また、このようなメモリ装置は、画像データ以外のデータを記憶する場合にも使用できることは勿論である。

この発明に係るメモリセル回路は、“1”または“0”のデータを記憶するメモリセル部をビット線に接続するためのアクセストランジスタを複数個並列に接続するものであり、当該メモリセル部の選択を複数のワード線のいずれかを用いて行うことができる。

また、この発明に係るメモリ装置は、第1のワード線および第2のワード線にそれぞれ接続された第1のメモリセルと第1のワード線のみに接続された第2のメモリセルとがマトリックス状に配され、第1のワード線はマトリックスの列方向に延在するように配され、第2のワード線はマトリックスの複数の行にわたる階段状パターンで配される構成とするものであり、マトリックスの複数の行にわたる第1のメモリセルのみを第2のワード線によって同時に活性化して記憶データの書き込み読み出しを行うことができる。

また、この発明に係る動きベクトル検出装置は、入力画像データより解像度の異なる複数階層の画像データを形成し、この複数階層の画像データを使用して入力画像の所定位置の動きベクトルを検出するものにあつて、複数階層の画像データを記憶するメモリ部として上述の記憶装置を使用し、複数階層の画像データのうち最下位階層の画像データを第2のメモリセルに記憶し、複数階層の画像データのうち最下位階層以外の階層の画像データを第1のメモリセルに記憶する構成とするものであり、メモリ部に対して各階層の画像データを独立して書き込み読み出しを行うことができ、動きベクトルの検出処理の効率を上げることができる。

産業上の利用可能性

以上のように、この発明に係るメモリセル回路、メモリ装置、動きベクトル検出装置および動き補償予測符号化装置は、例えばブロックマッチング法により動きベクトルを検出する装置および検出された動きベクトルを用いて符号化を行う

- 5 装置等に適用して好適なものとなる。

請 求 の 範 囲

1. 1個または2個以上のメモリブロックからなるメモリ装置であって、
上記メモリブロックは、
 - 5 マトリックス状に配された複数のメモリセルと、
上記マトリックスの一の方向のメモリセル列のそれぞれに対応して配され、該メモリセル列を選択するための複数の選択線とを有し、
上記マトリックス状に配された複数のメモリセルの領域は、上記マトリックスの一の方向に分割された複数の分割領域からなり、
 - 10 上記複数の選択線は、それぞれ、上記複数の分割領域に対応して分割された複数の分割選択線からなり、
上記メモリブロックは、
各分割領域で同時に活性化される分割選択線を切り換えるための切り換え機構をさらに有する
 - 15 ことを特徴とするメモリ装置。
2. 上記切り換え機構は、
隣接する第1の分割領域と第2の分割領域との間に配され、
上記第1の分割領域の第1の分割選択線を、該第1の分割領域に隣接する第2
20 の分割領域の、上記第1の分割選択線に対して上記マトリックスの他の方向に同一位置または隣接位置の第2の分割選択線に、選択的に接続するスイッチ回路を有してなる
ことを特徴とする請求の範囲第1項に記載のメモリ装置。
- 25 3. 上記メモリブロックは、上記マトリックスの一の方向に並ぶ複数の分割選択線毎に、該一の方向に延び、選択信号を入力するためのグローバル選択線をさらに有し、
上記切り換え機構は、
各分割領域にそれぞれ対応して配され、上記マトリックスの他の方向に隣接す

る第1および第2の分割選択線のうちいずれかに、上記グローバル選択線から上記選択信号を選択的に供給するゲート回路を有してなる

ことを特徴とする請求の範囲第1項に記載のメモリ装置。

- 5 4. 上記各分割領域の1つの分割選択線に対応する複数のメモリセルには、画像データを構成する垂直方向または水平方向の整数列分の画素データが記憶されることを特徴とする請求の範囲第1項に記載のメモリ装置。

5. 上記メモリブロックは、

- 10 複数のビット線と、

上記複数のビット線に直交する複数のワード線と、

上記ビット線および上記ワード線に接続され、上記マトリックス状に配された複数のメモリセルとを有し、

上記複数の選択線は、上記ワード線であり、

- 15 上記マトリックスの一の方向は、上記ワード線に沿う方向である

ことを特徴とする請求の範囲第1項に記載のメモリ装置。

6. 上記メモリブロックは、

複数のビット線と、

- 20 上記複数のビット線に直交する複数のワード線と、

上記複数のビット線に平行または直交する、参照データを入力するための参照データ入力線と、

上記複数のビット線に平行または直交する、演算データを出力するための演算データ出力線と、

- 25 上記複数のワード線に平行または直交する、セル選択信号を入力するためのセル選択線と、

上記ビット線、上記ワード線、上記参照データ入力線、上記演算データ出力線および上記セル選択線に接続され、上記マトリックス状に配された複数のメモリセルとを有し、

上記メモリセルは、

“1”または“0”のデータを記憶するメモリセル部と、

上記参照データ入力線に接続され、上記参照データを入力するための参照データ入力部と、

- 5 上記メモリセル部に記憶されている記憶データと上記参照データ入力部からの参照データとを用いた論理演算を行う演算機能部と、

上記演算データ出力線に接続され、上記演算機能部で演算されて得られた演算データを上記演算データ出力線に出力するための演算データ出力部と、

- 10 上記セル選択線に接続され、上記セル選択信号を入力するためのセル選択信号入力部と、

上記セル選択信号入力部に入力されるセル選択信号に基づいて、上記演算機能部で演算されて得られた演算データを上記演算データ出力部に出力する出力制御部とを備え、

上記複数の選択線は、上記複数のセル選択線であり、

- 15 上記マトリックスの一方の方向は、上記セル選択線に沿う方向であることを特徴とする請求の範囲第1項に記載のメモリ装置。

7. 上記メモリセルの演算機能部は複数の論理演算を並行して行うものであり、

- 20 上記メモリセルは、上記複数の論理演算によって得られた複数の演算データをそれぞれ出力するための複数の上記演算データ出力線に接続されていることを特徴とする請求の範囲第6項に記載のメモリ装置。

8. 上記メモリブロックは、

- 25 上記複数の演算データ出力線で出力される演算データの少なくとも一部を用いて数値演算を行う演算補助セルをさらに有することを特徴とする請求の範囲第6項に記載のメモリ装置。

9. 上記演算補助セルは、

上記活性化された上記各分割領域の分割セル選択線に対応した複数のメモリセ

ルから出力される上記演算データを用いてそれぞれ第1の数値演算を行う複数の第1の演算補助セルと、

上記複数の第1の演算補助セルの所定個毎に、該所定個毎の第1の演算補助セルで演算されて得られた演算データを用いてそれぞれ第2の数値演算を行う複数の第2の演算補助セルとからなる

ことを特徴とする請求の範囲第8項に記載のメモリ装置。

10. 上記第1の数値演算は減算であり、上記第2の数値演算は絶対値演算である

ことを特徴とする請求の範囲第9項に記載のメモリ装置。

11. 上記一個または複数のメモリブロックより出力される演算データに基づく処理を行う回路ブロックをさらに備える

ことを特徴とする請求の範囲第6項に記載のメモリ装置。

12. 時間的に前後する参照フレームと探索フレームとから動きベクトルを検出する動きベクトル検出装置であって、

上記参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、

上記探索フレームを構成する複数の画素データを記憶する第2のメモリ部と、

上記第1のメモリ部より読み出される参照ブロックの画素データおよび上記第2のメモリ部より読み出される上記参照ブロックに対応した探索範囲の複数の候補ブロックの画素データを入力し、上記複数の候補ブロックのそれぞれに対し、該候補ブロックの画素データおよび上記参照ブロックの画素データとの差分を、対応する画素データ毎に演算する演算部と、

上記演算部で演算された上記複数の候補ブロックのそれぞれに対する画素データ毎の差分に基づいて、上記参照ブロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、

上記第1のメモリ部および上記第2のメモリ部はそれぞれ1個または2個以上の半導体メモリブロックで構成され、

上記半導体メモリブロックは、

複数のビット線と、

上記複数のビット線に直交する複数のワード線と、

上記ビット線および上記ワード線に接続され、マトリックス状に配された複数

5 のメモリセルとを有し、

上記マトリックス状に配された複数のメモリセルの領域は、上記ワード線に沿う方向に分割された複数の分割領域からなり、

上記複数の選択線は、それぞれ、上記複数の分割領域に対応して分割された複数の分割ワード線からなり、

10 上記半導体メモリブロックは、

上記各分割領域で同時に活性化される分割ワード線を切り換えるための切り換え機構をさらに有する

ことを特徴とする動きベクトル検出装置。

15 1 3. 上記各分割領域の1つの分割ワード線に対応する複数のメモリセルには、画像データを構成する垂直方向または水平方向の整数列分の画素データが記憶される

ことを特徴とする請求の範囲第12項に記載の動きベクトル検出装置。

20 1 4. 時間的に前後する参照フレームと探索フレームとから動きベクトルを検出する動きベクトル検出装置であって、

上記参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、

上記第1のメモリ部より読み出される参照ブロックの画素データを参照データとして入力し、上記参照ブロックに対応した探索範囲の複数の候補ブロックのそれぞれに対し、該候補ブロックの画素データおよび上記参照ブロックの画素データとの差分を、対応する画素データ毎に演算する第2のメモリ部と、

25

上記第2のメモリ部で演算された上記複数の候補ブロックのそれぞれに対する画素データ毎の差分に基づいて、上記参照ブロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、

上記第1のメモリ部は1個または2個以上の第1の半導体メモリブロックで構成され、上記第2のメモリ部は1個または2個以上の第2の半導体メモリブロックで構成され、

上記第1の半導体メモリブロックは、

5 複数のビット線と、

上記複数のビット線に直交する複数のワード線と、

上記ビット線および上記ワード線に接続され、マトリックス状に配された複数のメモリセルとを有し、

10 上記マトリックス状に配された複数のメモリセルの領域は、上記ワード線に沿う方向に分割された複数の分割領域からなり、

上記複数の選択線は、それぞれ、上記複数の分割領域に対応して分割された複数の分割ワード線からなり、

上記第1の半導体メモリブロックは、

15 上記各分割領域で同時に活性化される分割ワード線を切り換えるための切り換え機構をさらに有し、

上記第2の半導体メモリブロックは、

複数のビット線と、

上記複数のビット線に直交する複数のワード線と、

20 上記複数のビット線に平行または直交する、参照データを入力するための参照データ入力線と、

上記複数のビット線に平行または直交する、演算データを出力するための演算データ出力線と、

上記複数のワード線に平行または直交する、セル選択信号を入力するためのセル選択線と、

25 上記ビット線、上記ワード線、上記参照データ入力線、上記演算データ出力線および上記セル選択線に接続され、上記マトリックス状に配された複数のメモリセルと、

上記複数の演算データ出力線で出力される演算データの少なくとも一部を用いて数値演算を行って上記差分を得る演算補助セルとを有し、

上記メモリセルは、

“1”または“0”のデータを記憶するメモリセル部と、

上記参照データ入力線に接続され、上記参照データを入力するための参照データ入力部と、

- 5 上記メモリセル部に記憶されている記憶データと上記参照データ入力部からの参照データとを用いた論理演算を行う演算機能部と、

上記演算データ出力線に接続され、上記演算機能部で演算されて得られた演算データを上記演算データ出力線に出力するための演算データ出力部と、

- 10 上記セル選択線に接続され、上記セル選択信号を入力するためのセル選択信号入力部と、

上記セル選択信号入力部に入力されるセル選択信号に基づいて、上記演算機能部で演算されて得られた演算データを上記演算データ出力部に出力する出力制御部とを備え、

- 15 上記マトリックス状に配された複数のメモリセルの領域は、上記セル選択線に沿う方向に分割された複数の分割領域からなり、

上記複数のセル選択線は、それぞれ、上記複数の分割領域に対応して分割された複数の分割セル選択線からなり、

上記第2の半導体メモリブロックは、

- 20 上記各分割領域で同時に活性化される分割セル選択線を切り換えるための切り換え機構をさらに有する

ことを特徴とする動きベクトル検出装置。

15. 上記各分割領域の1つの分割セル選択線に対応する複数のメモリセルには、
25 画像データを構成する垂直方向または水平方向の整数列分の画素データが記憶される

ことを特徴とする請求の範囲第14項に記載の動きベクトル検出装置。

16. 時間的に前後する参照フレームと探索フレームとから動きベクトル検出回路で動きベクトルを検出し、該動きベクトルを用いて動き補償を行う動き補償予

測符号化装置であって、

上記動きベクトル検出回路は、

上記参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、

上記探索フレームを構成する複数の画素データを記憶する第2のメモリ部と、

- 5 上記第1のメモリ部より読み出される参照ブロックの画素データおよび上記第2のメモリ部より読み出される上記参照ブロックに対応した探索範囲の複数の候補ブロックの画素データを入力し、上記複数の候補ブロックのそれぞれに対し、該候補ブロックの画素データおよび上記参照ブロックの画素データとの差分を、対応する画素データ毎に演算する演算部と、

- 10 上記演算部で演算された上記複数の候補ブロックのそれぞれに対する画素データ毎の差分に基づいて、上記参照ブロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、

上記第1のメモリ部および上記第2のメモリ部はそれぞれ1個または2個以上の半導体メモリブロックで構成され、

- 15 上記半導体メモリブロックは、

複数のビット線と、

上記複数のビット線に直交する複数のワード線と、

上記ビット線および上記ワード線に接続され、マトリクス状に配された複数のメモリセルとを有し、

- 20 上記マトリクス状に配された複数のメモリセルの領域は、上記ワード線に沿う方向に分割された複数の分割領域からなり、

上記複数の選択線は、それぞれ、上記複数の分割領域に対応して分割された複数の分割ワード線からなり、

上記メモリブロックは、

- 25 上記各分割領域で同時に活性化される分割ワード線を切り換えるための切り換え機構をさらに有する

ことを特徴とする動き補償予測符号化装置。

17. 時間的に前後する参照フレームと探索フレームとから動きベクトル検出回

路で動きベクトルを検出し、該動きベクトルを用いて動き補償を行う動き補償予測符号化装置であって、

上記動きベクトル検出回路は、

上記参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、

- 5 上記第1のメモリ部より読み出される参照ブロックの画素データを参照データとして入力し、上記参照ブロックに対応した探索範囲の複数の候補ブロックのそれぞれに対し、該候補ブロックの画素データおよび上記参照ブロックの画素データとの差分を、対応する画素データ毎に演算する第2のメモリ部と、

- 10 上記第2のメモリ部で演算された上記複数の候補ブロックのそれぞれに対する画素データ毎の差分に基づいて、上記参照ブロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、

上記第1のメモリ部は1個または2個以上の第1の半導体メモリブロックで構成され、上記第2のメモリ部は1個または2個以上の第2の半導体メモリブロックで構成され、

- 15 上記第1の半導体メモリブロックは、

複数のビット線と、

上記複数のビット線に直交する複数のワード線と、

上記ビット線および上記ワード線に接続され、マトリックス状に配された複数のメモリセルとを有し、

- 20 上記マトリックス状に配された複数のメモリセルの領域は、上記ワード線に沿う方向に分割された複数の分割領域からなり、

上記複数の選択線は、それぞれ、上記複数の分割領域に対応して分割された複数の分割ワード線からなり、

上記第1の半導体メモリブロックは、

- 25 上記各分割領域で同時に活性化される分割ワード線を切り換えるための切り換え機構をさらに有し、

上記第2の半導体メモリブロックは、

複数のビット線と、

上記複数のビット線に直交する複数のワード線と、

上記複数のビット線に平行または直交する、参照データを入力するための参照データ入力線と、

上記複数のビット線に平行または直交する、演算データを出力するための演算データ出力線と、

- 5 上記複数のワード線に平行または直交する、セル選択信号を入力するためのセル選択線と、

上記ビット線、上記ワード線、上記参照データ入力線、上記演算データ出力線および上記セル選択線に接続され、上記マトリックス状に配された複数のメモリセルと、

- 10 上記複数の演算データ出力線で出力される演算データの少なくとも一部を用いて数値演算を行って上記差分を得る演算補助セルとを有し、

上記メモリセルは、

“1”または“0”のデータを記憶するメモリセル部と、

- 15 上記参照データ入力線に接続され、上記参照データを入力するための参照データ入力部と、

上記メモリセル部に記憶されている記憶データと上記参照データ入力部からの参照データとを用いた論理演算を行う演算機能部と、

上記演算データ出力線に接続され、上記演算機能部で演算されて得られた演算データを上記演算データ出力線に出力するための演算データ出力部と、

- 20 上記セル選択線に接続され、上記セル選択信号を入力するためのセル選択信号入力部と、

上記セル選択信号入力部に入力されるセル選択信号に基づいて、上記演算機能部で演算されて得られた演算データを上記演算データ出力部に出力する出力制御部とを備え、

- 25 上記マトリックス状に配された複数のメモリセルの領域は、上記セル選択線に沿う方向に分割された複数の分割領域からなり、

上記複数のセル選択線は、それぞれ、上記複数の分割領域に対応して分割された複数の分割セル選択線からなり、

上記第2の半導体メモリブロックは、

上記各分割領域で同時に活性化される分割セル選択線を切り換えるための切り換え機構をさらに有する

ことを特徴とする動き補償予測符号化装置。

5 18. “1”または“0”のデータを記憶するメモリセル部と、

上記メモリセル部をビット線にそれぞれ接続する並列接続された複数個のアクセスランジスタと

を備えることを特徴とするメモリセル回路。

10 19. 第1のメモリセルと第2のメモリセルとが混在してマトリックス状に配され、

上記第1のメモリセルは第1のワード線および第2のワード線にそれぞれ接続され、

上記第2のメモリセルは上記第1のワード線のみに接続され、

15 上記第1のワード線は上記マトリックスの列方向に延在するように配され、

上記第2のワード線は上記マトリックスの複数の行にわたる階段状パターンで配される

ことを特徴とするメモリ装置。

20 20. 上記第2のワード線の上記階段状のパターンは、上記マトリックスの列方向の所定数のメモリセル単位で繰り返される

ことを特徴とする請求の範囲第19項に記載のメモリ装置。

21. 上記階段状パターンをそれぞれ異にする複数の上記第2のワード線が併存
25 する

ことを特徴とする請求の範囲第19項に記載のメモリ装置。

22. 上記複数の第2のワード線にそれぞれ接続される上記第1のメモリセルは異なる

ことを特徴とする請求の範囲第 2 1 項に記載のメモリ装置。

2 3. 入力画像データより解像度の異なる複数階層の画像データを形成する画像階層化手段と、上記画像階層化手段で形成された上記複数階層の画像データに基づいて、上記入力画像の所定位置の動きベクトルを、ブロックマッチング処理を用いて検出する動きベクトル検出手段とを備える動きベクトル検出装置であって、上記複数階層の画像データを記憶するメモリ部を有し、

上記メモリ部は、

第 1 のメモリセルと第 2 のメモリセルとが混在してマトリックス状に配され、

上記第 1 のメモリセルは第 1 のワード線および第 2 のワード線にそれぞれ接続され、

上記第 2 のメモリセルは上記第 1 のワード線のみに接続され、

上記第 1 のワード線は上記マトリックスの列方向に延在するように配され、

上記第 2 のワード線は上記マトリックスの複数の行にわたる階段状パターンで配され、

上記複数階層の画像データのうち最下位階層の画像データは上記第 2 のメモリセルに記憶され、上記複数階層の画像データのうち上記最下位階層以外の階層の画像データは上記第 1 のメモリセルに記憶される

ことを特徴とする動きベクトル検出装置。

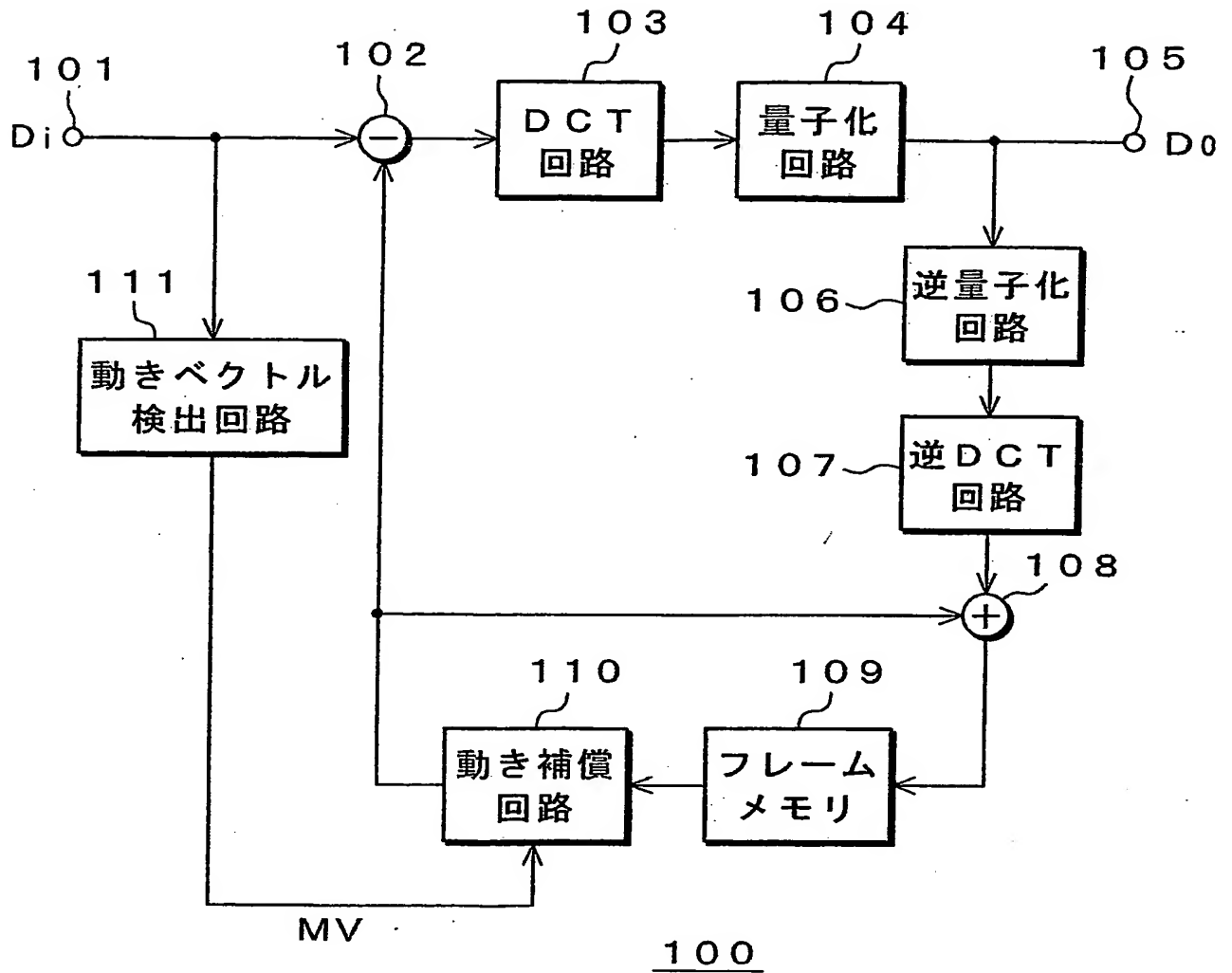
2 4. 上記階段状パターンをそれぞれ異にする複数の上記第 2 のワード線が併存し、

上記複数の第 2 のワード線にそれぞれ接続される上記第 1 のメモリセルは異なり、

上記複数の第 2 のワード線にそれぞれ接続される上記第 1 のメモリセルには、異なる階層の画像データが記憶される

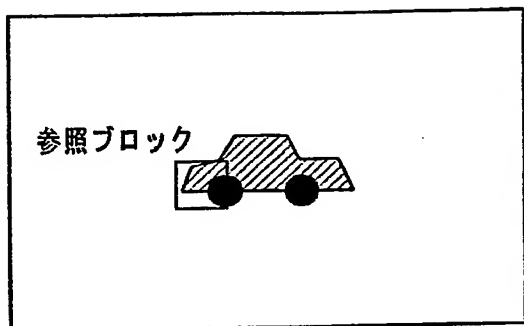
ことを特徴とする請求の範囲第 2 3 項に記載の動きベクトル検出装置。

FIG. 1

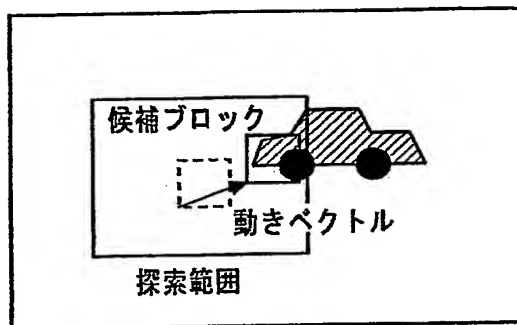


2 / 37

FIG. 2



参照フレーム



探索フレーム

FIG. 3A

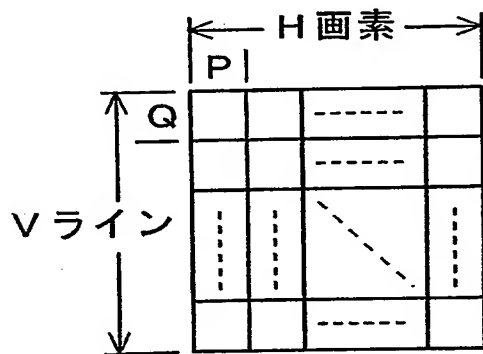


FIG. 3B

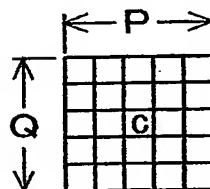


FIG. 4A

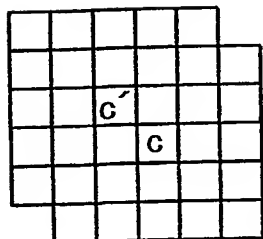


FIG. 4B

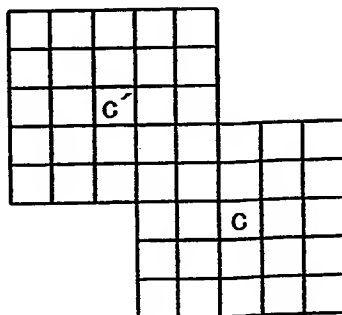
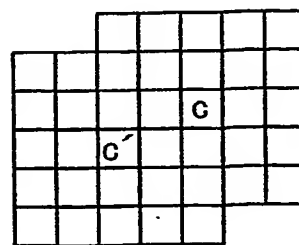


FIG. 4C



3 / 37

FIG. 5

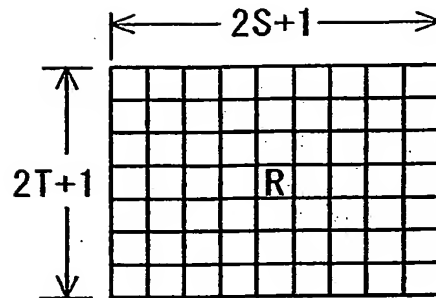
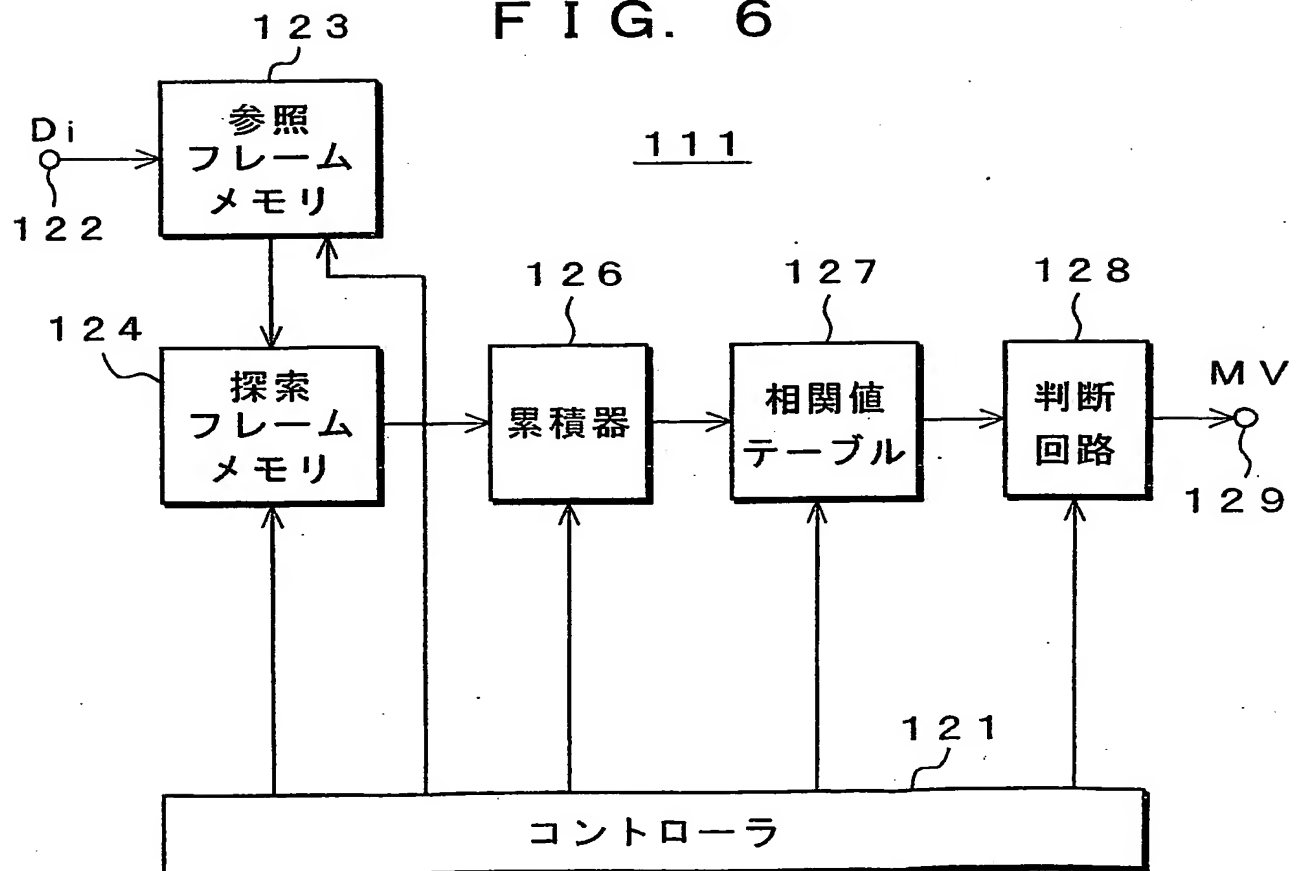
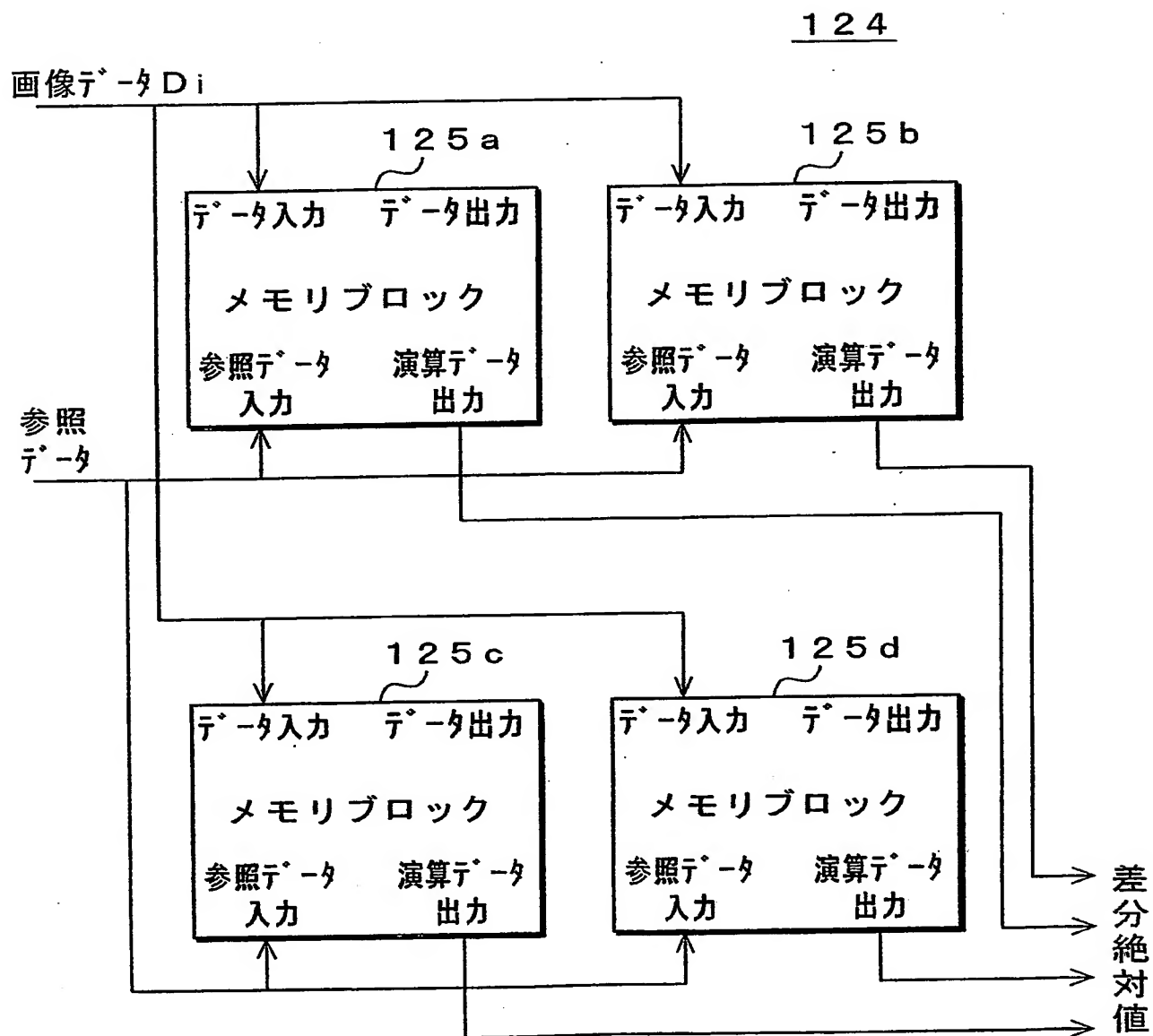


FIG. 6



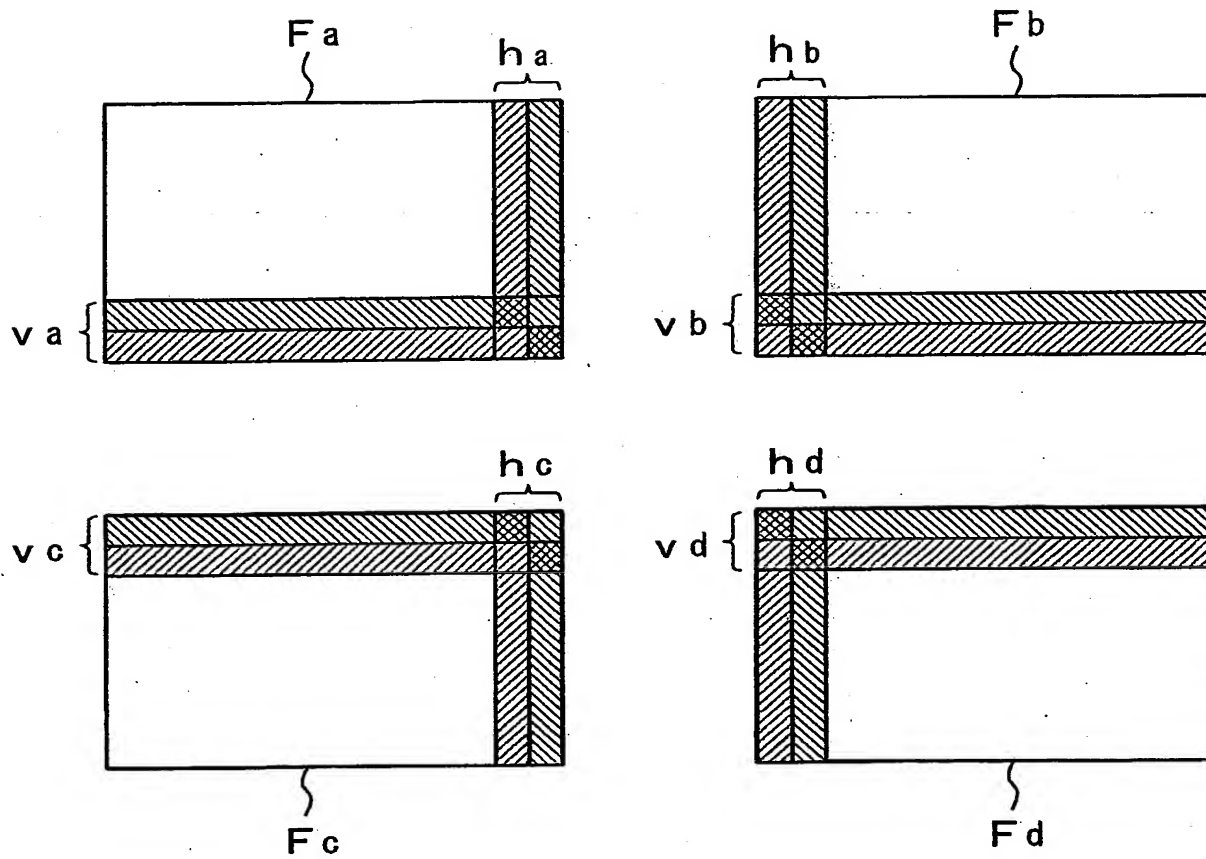
4 / 3 7

FIG. 7

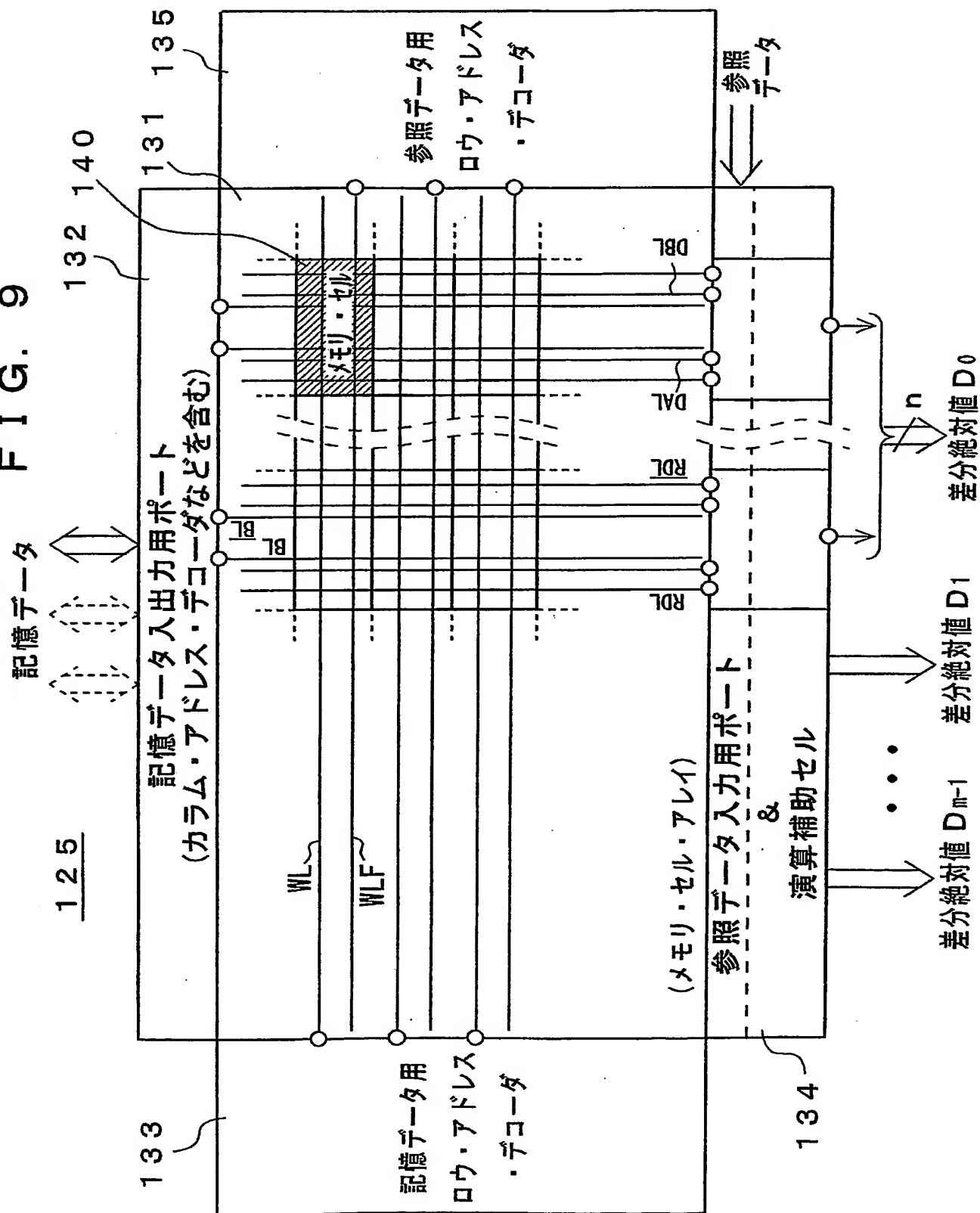


5 / 3 7

FIG. 8



၈၆၆



7 / 3 7

FIG. 10

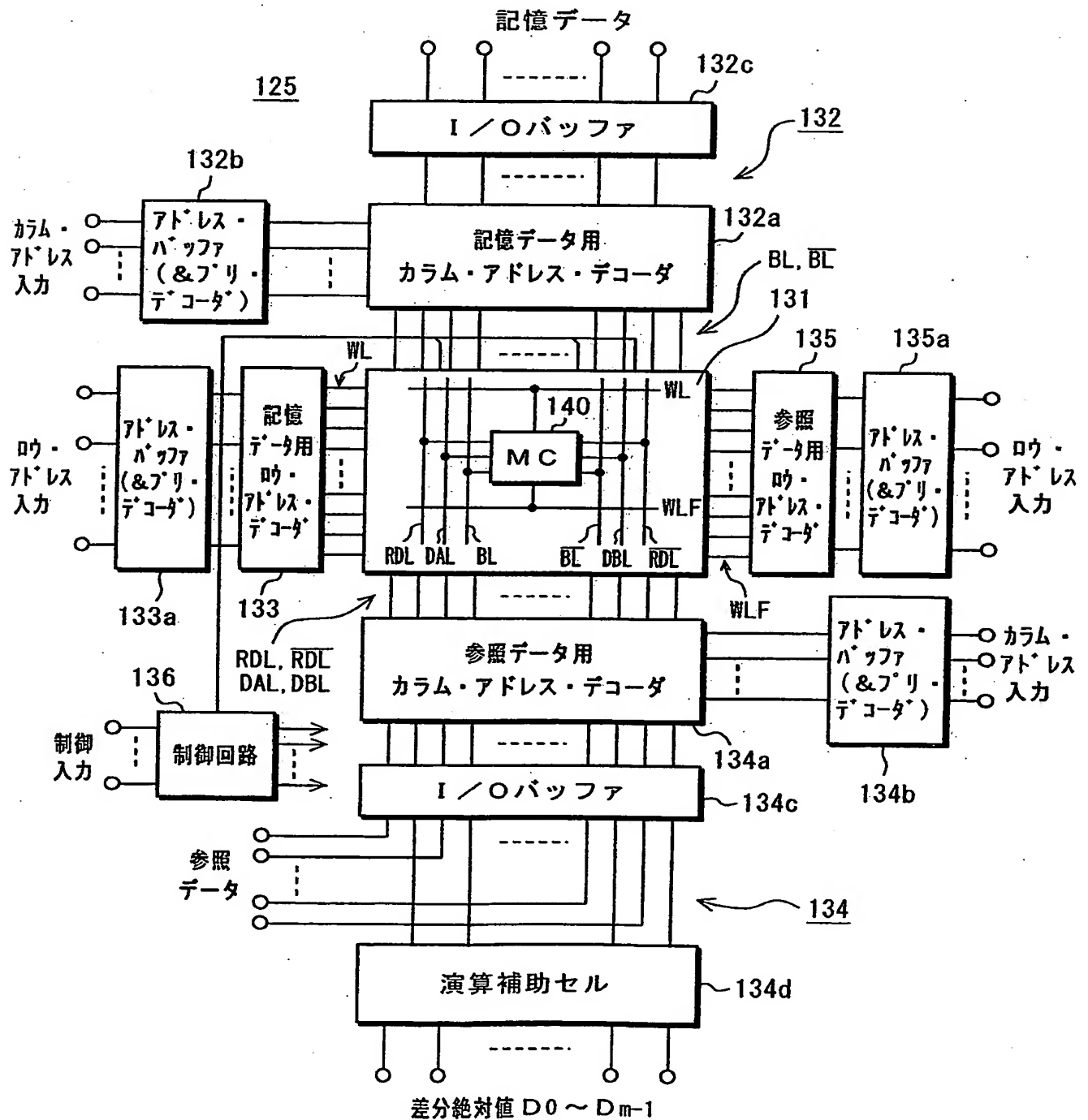


FIG. 11

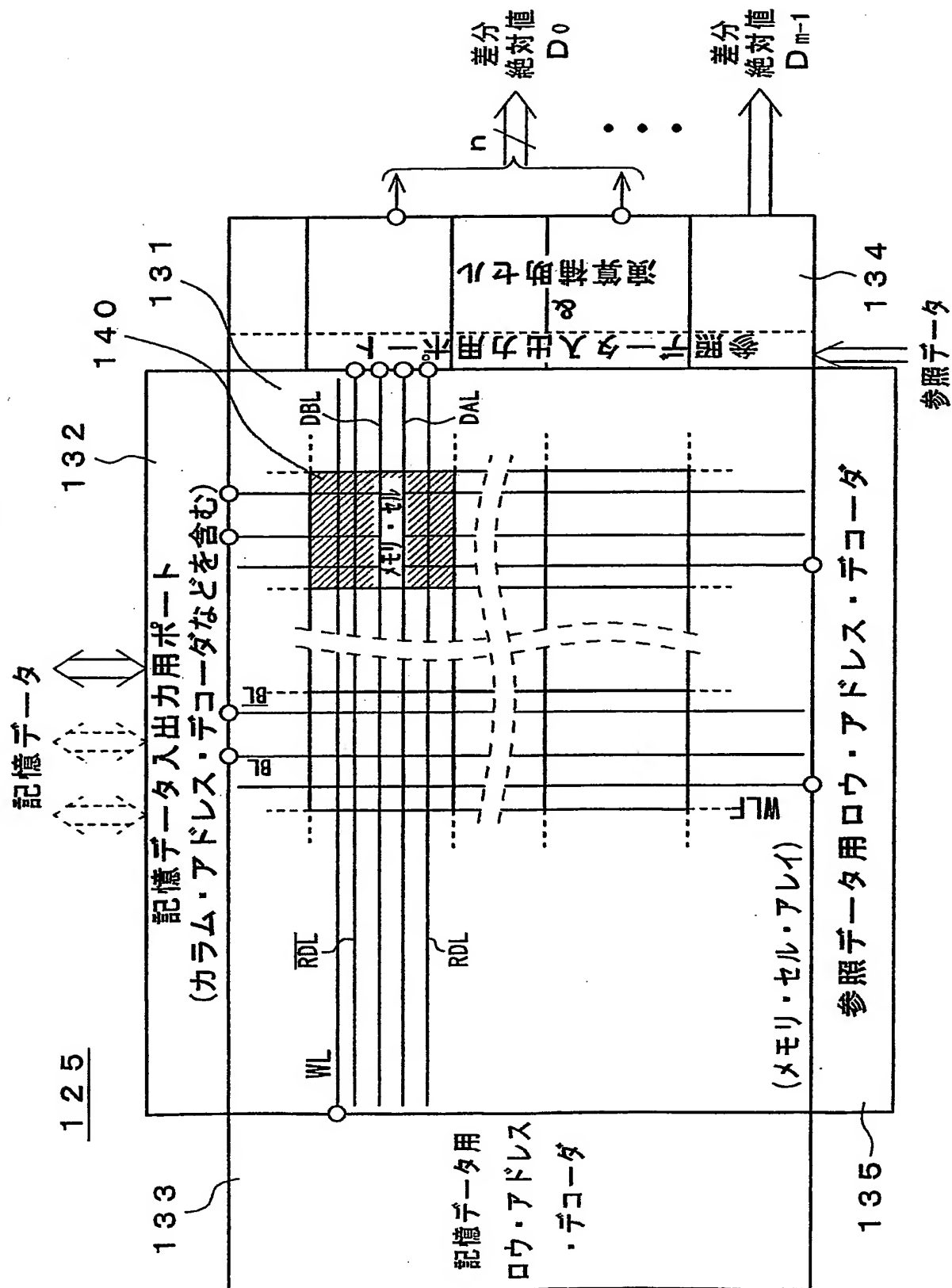
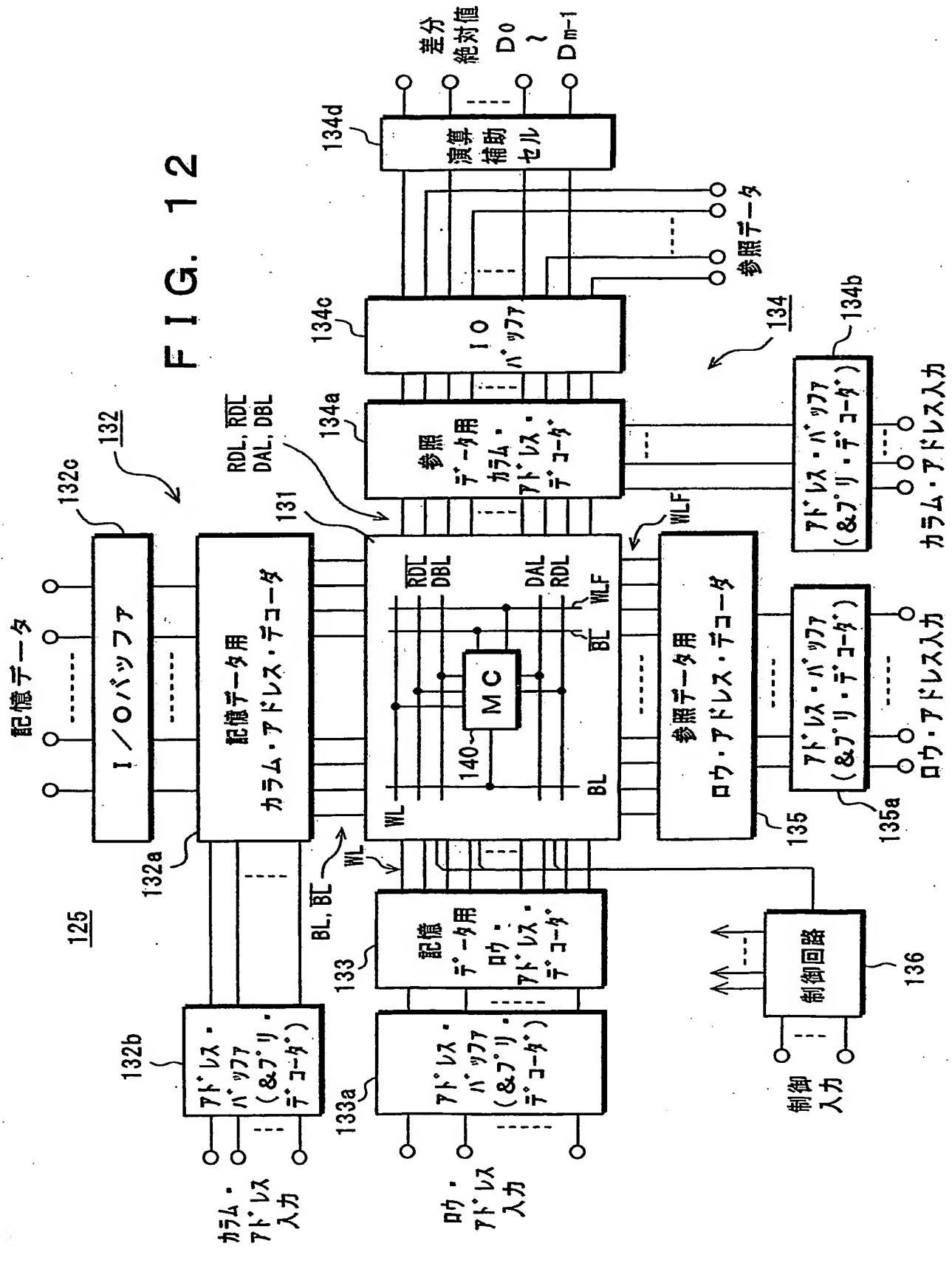


FIG. 12



10 / 37

FIG. 13

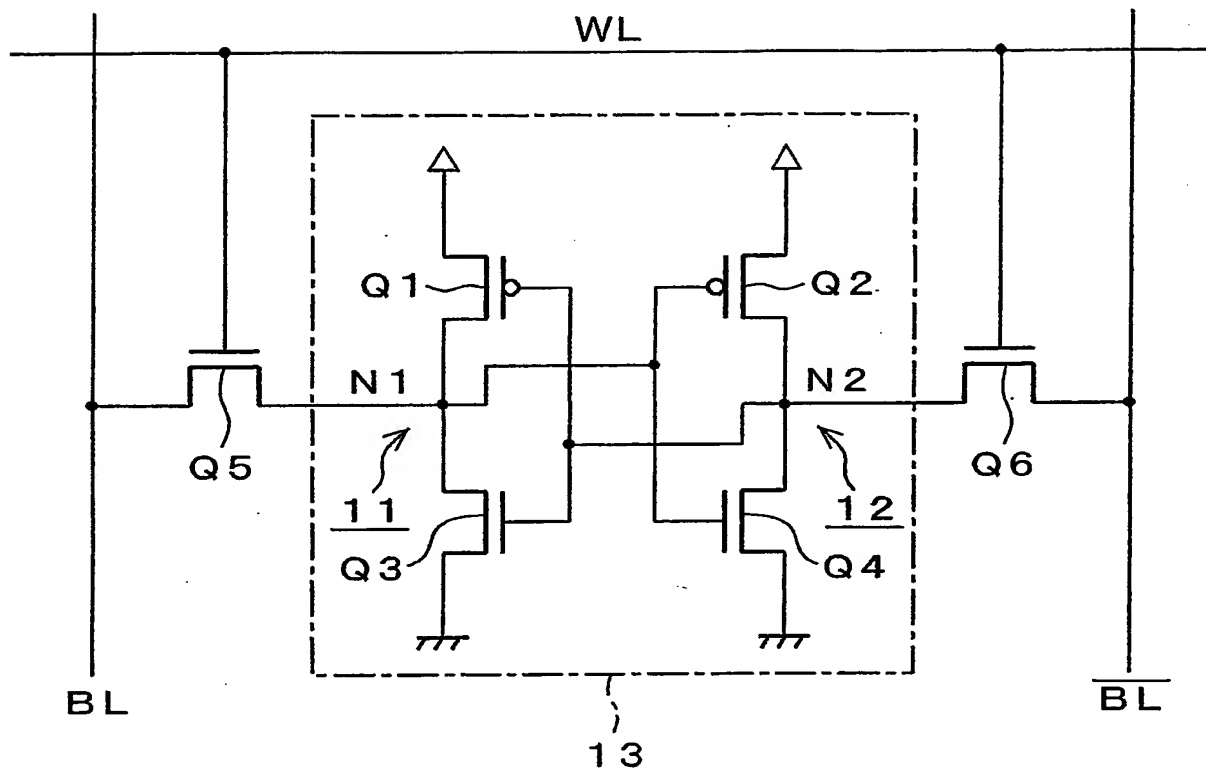
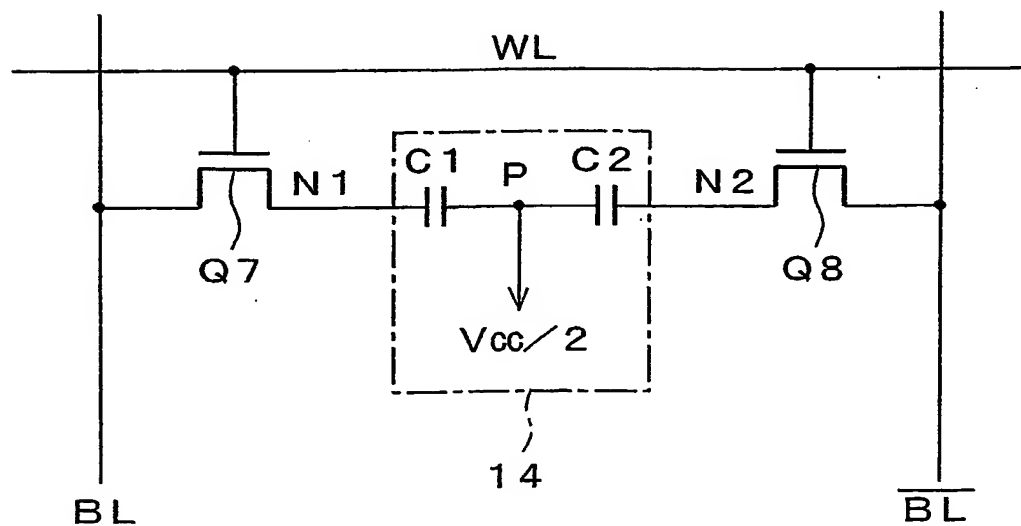
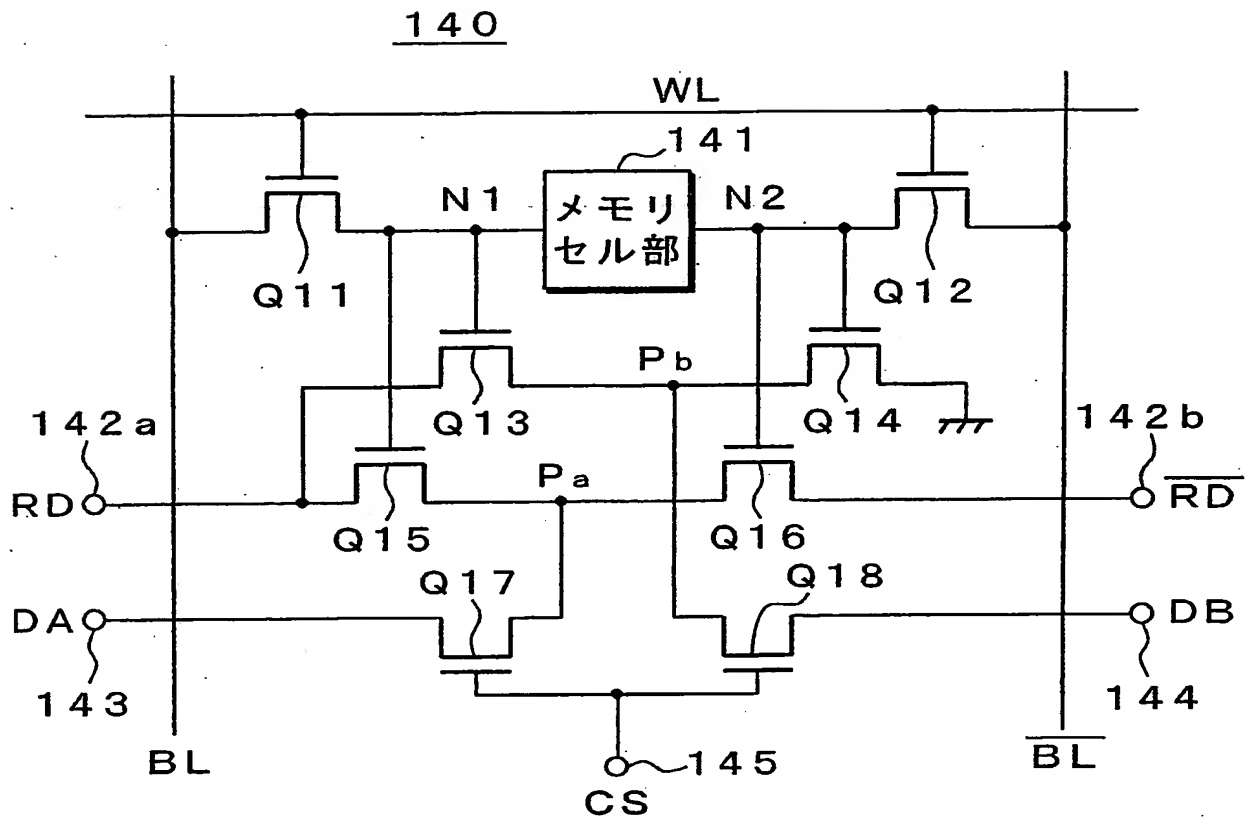


FIG. 14



11 / 37

FIG. 15



13/37

FIG. 17

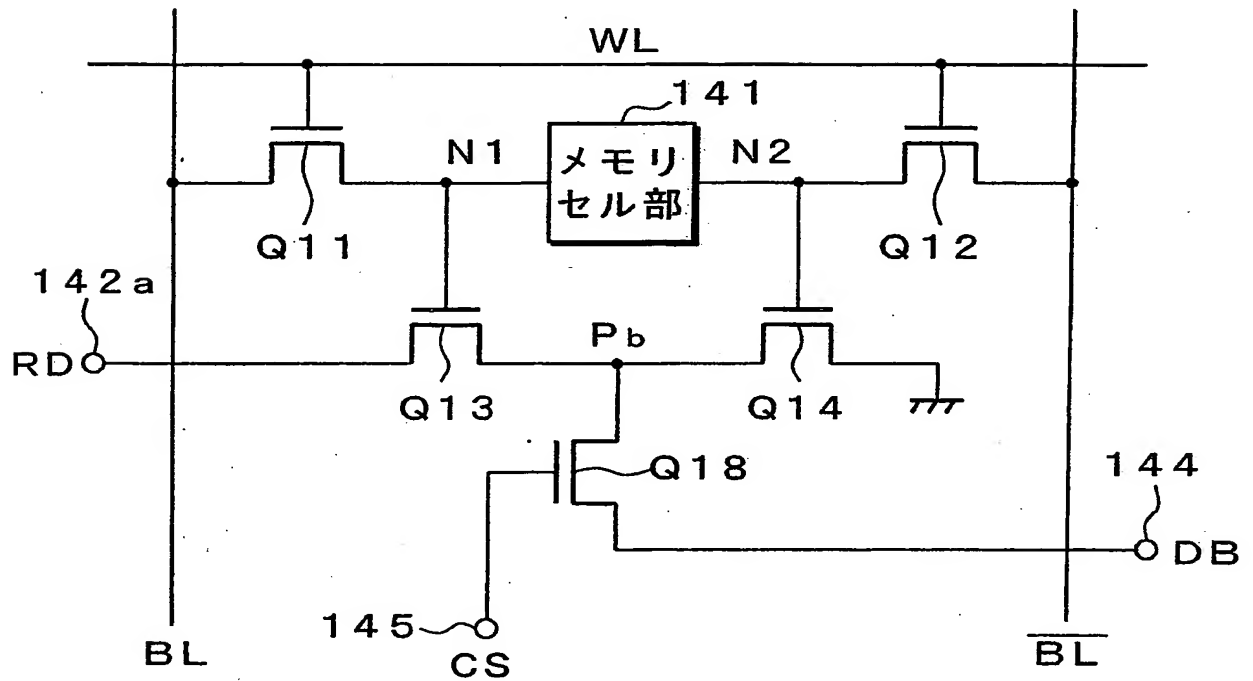
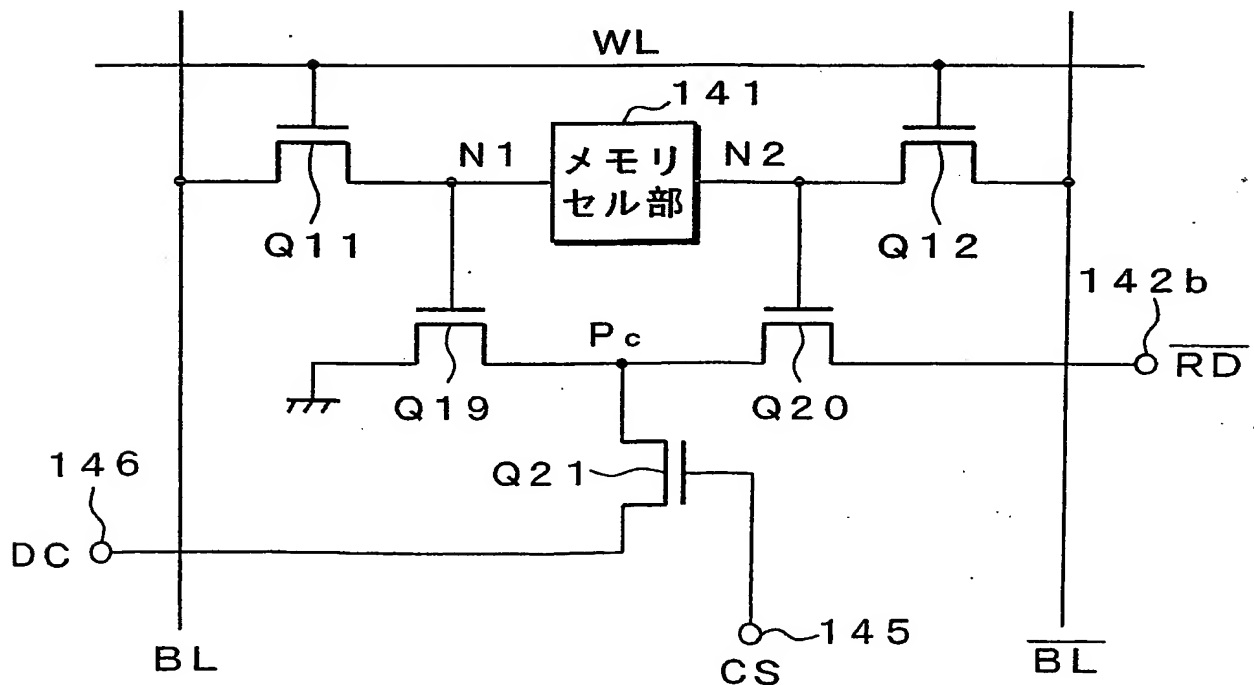
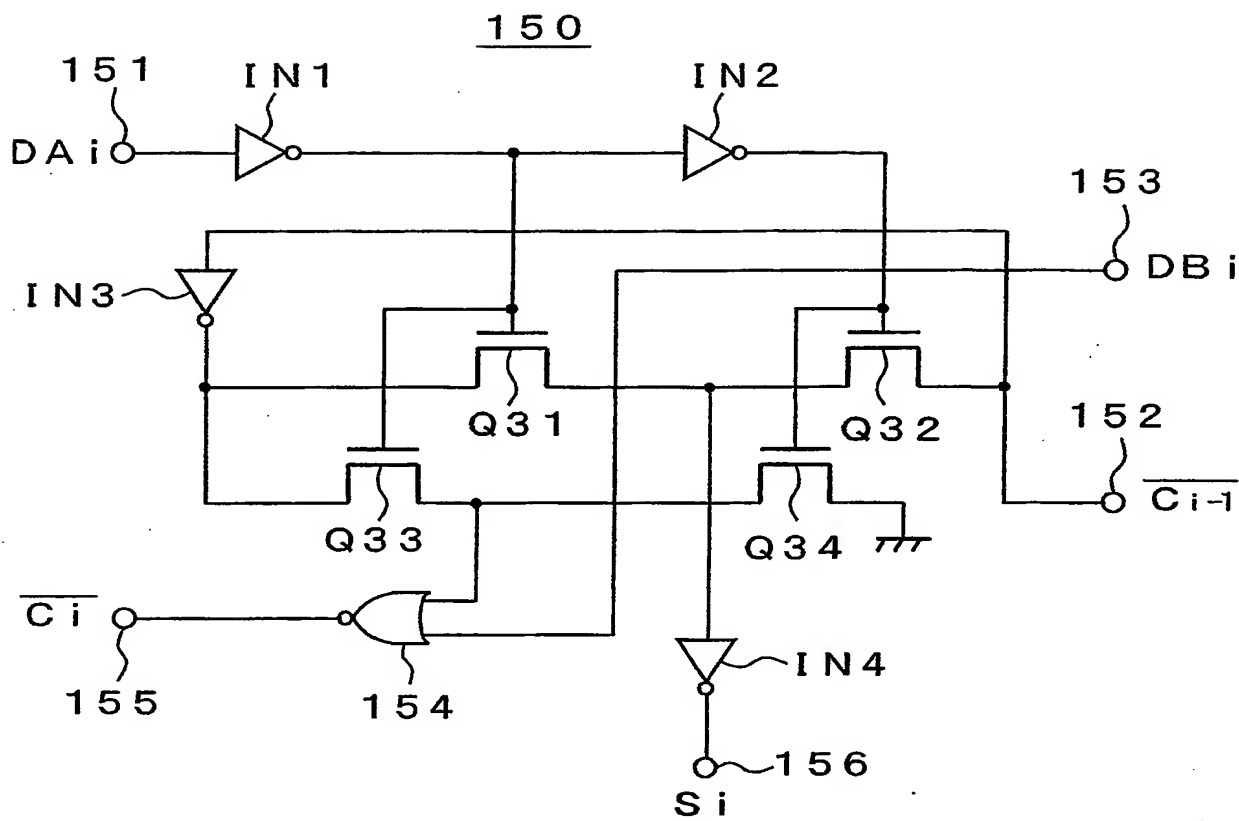


FIG. 18



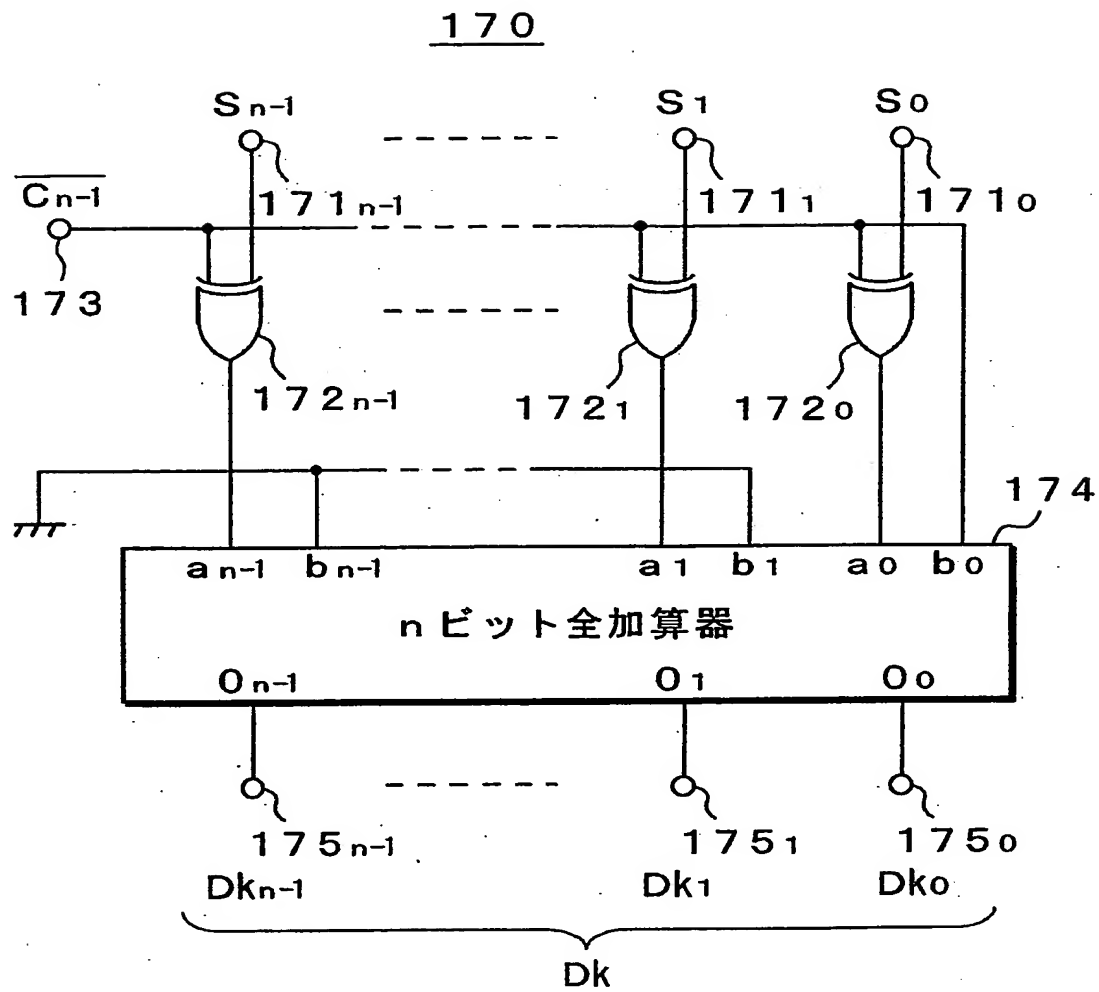
14 / 37

FIG. 19



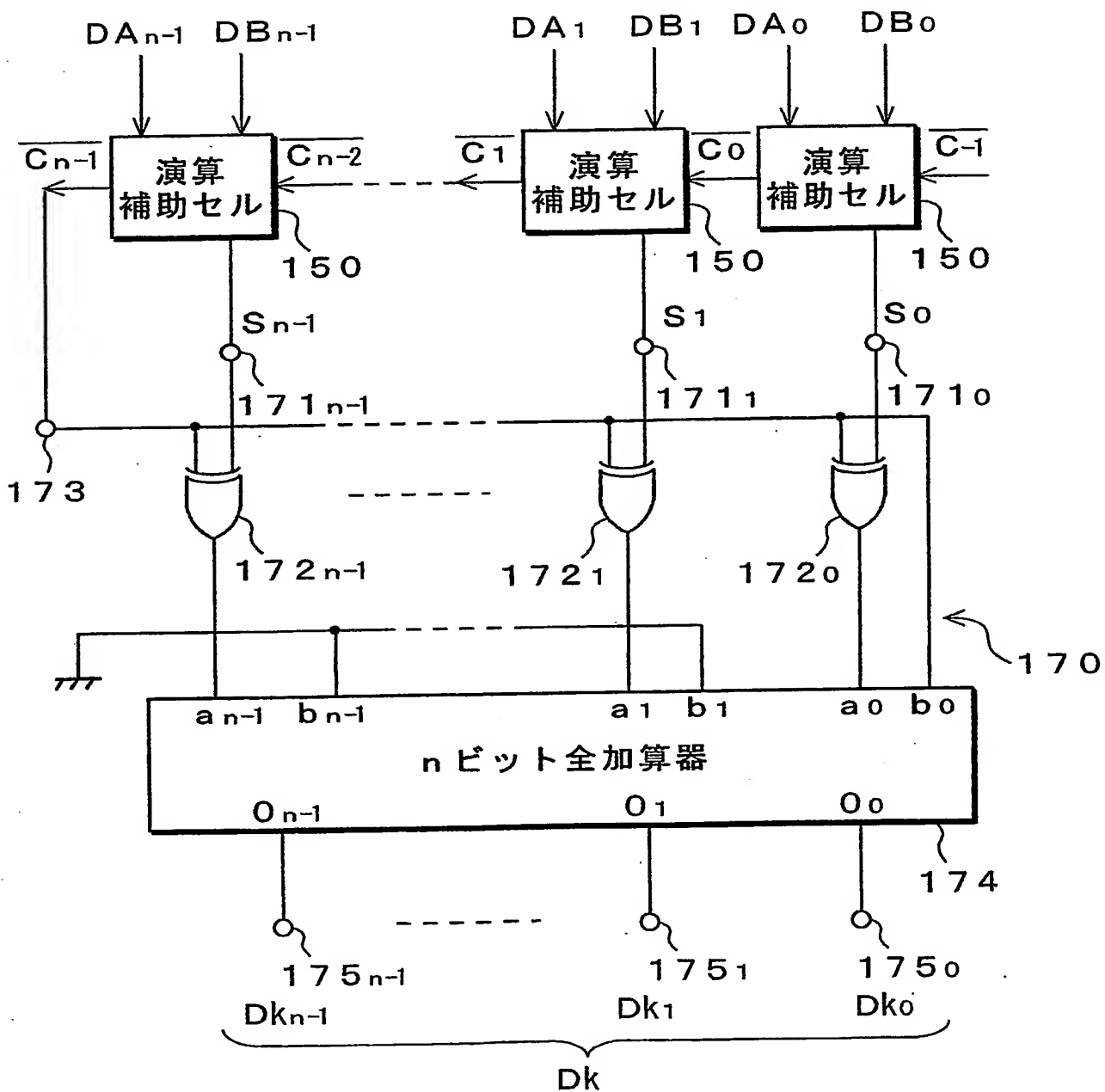
1 5 / 3 7

FIG. 20



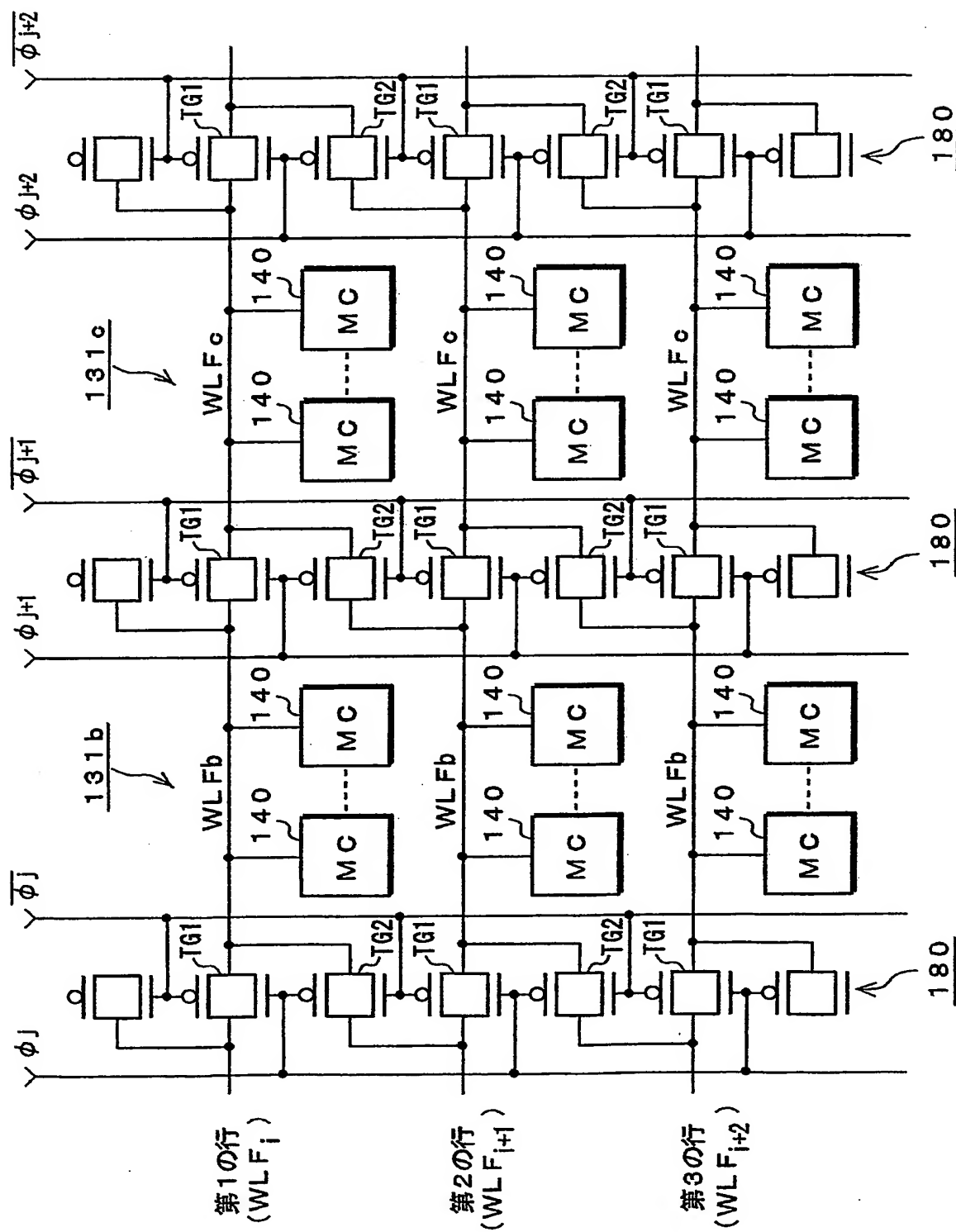
16/37

FIG. 21

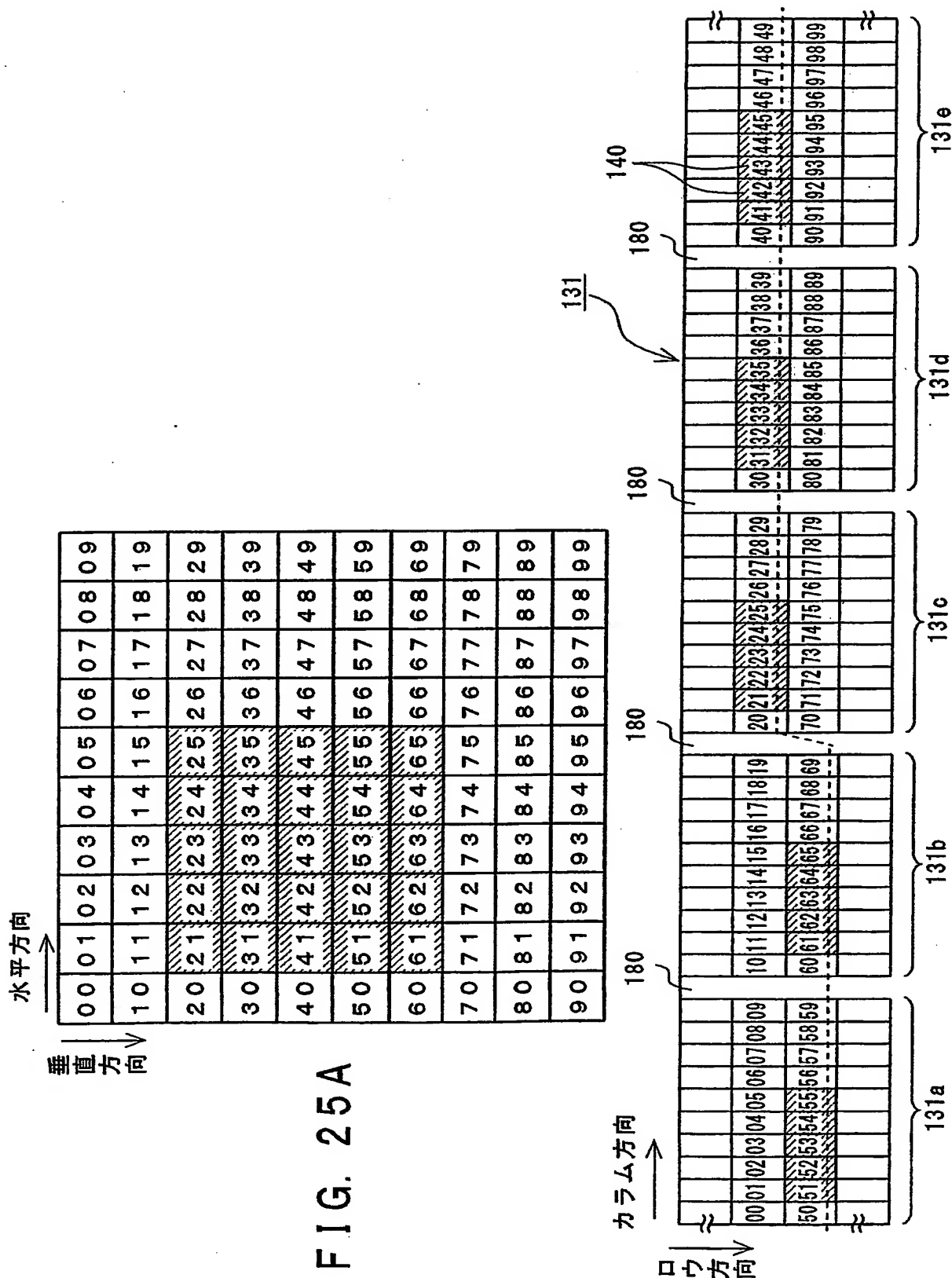


18 / 37

FIG. 23



20 / 37



21 / 37

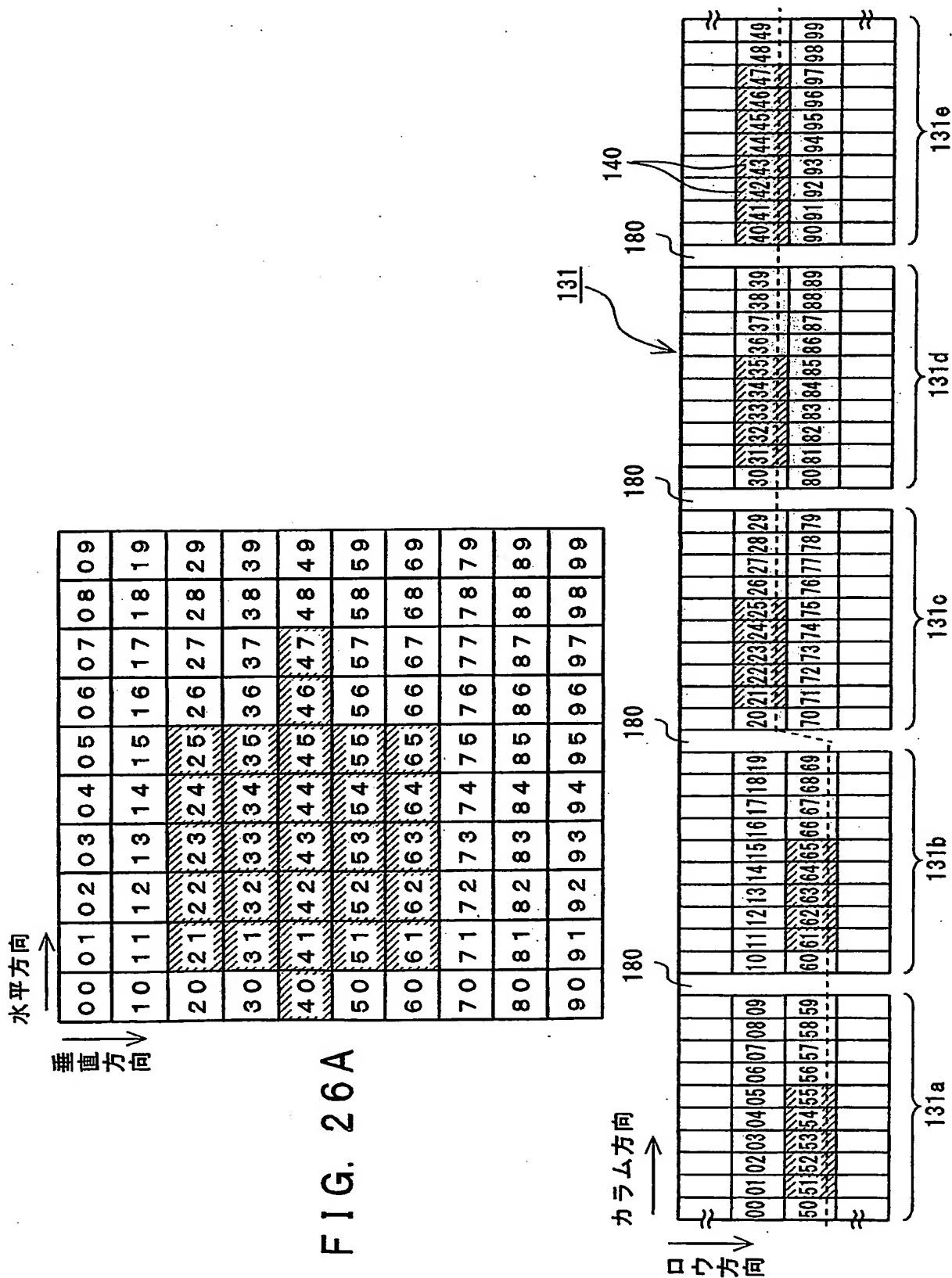
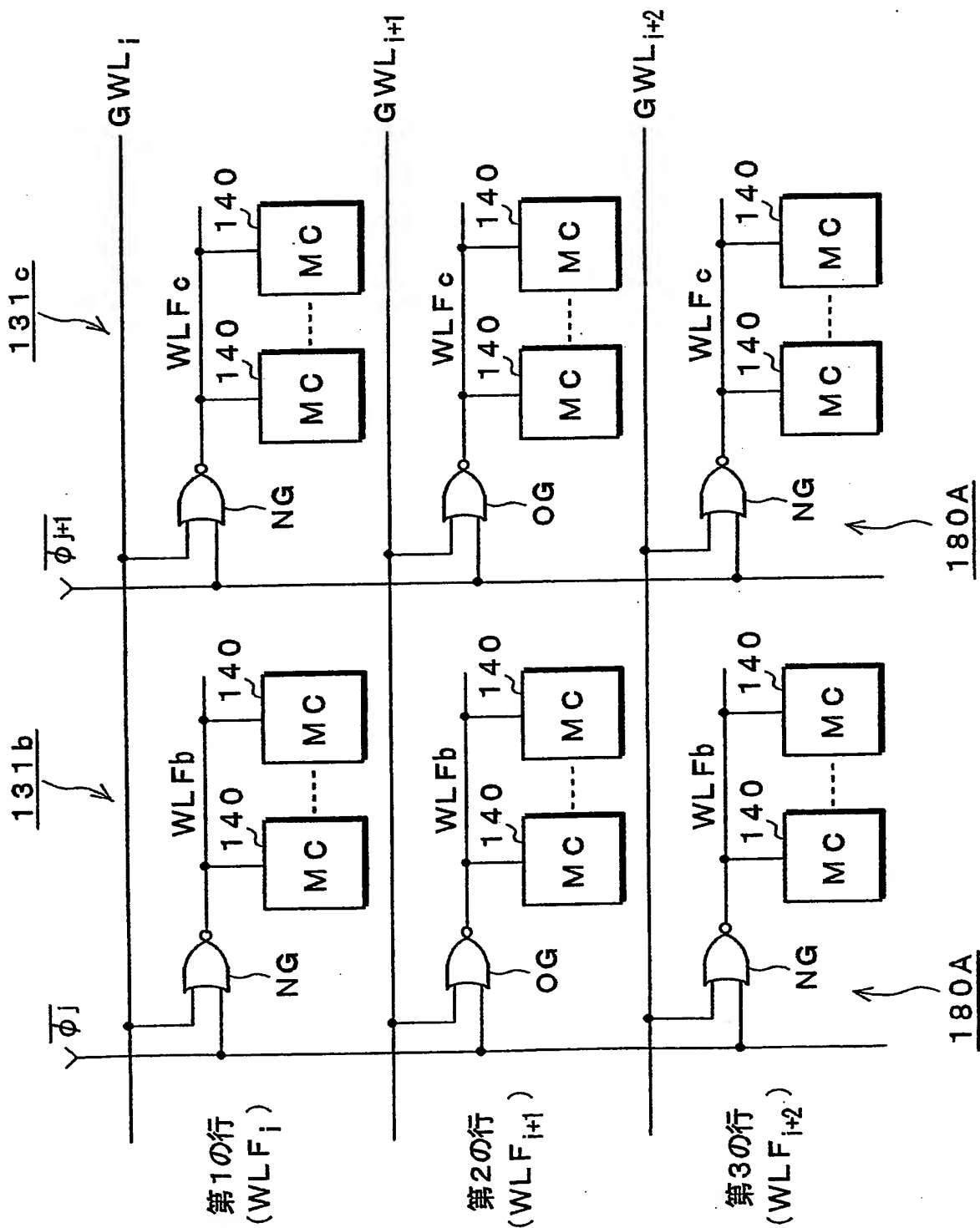


FIG. 26B

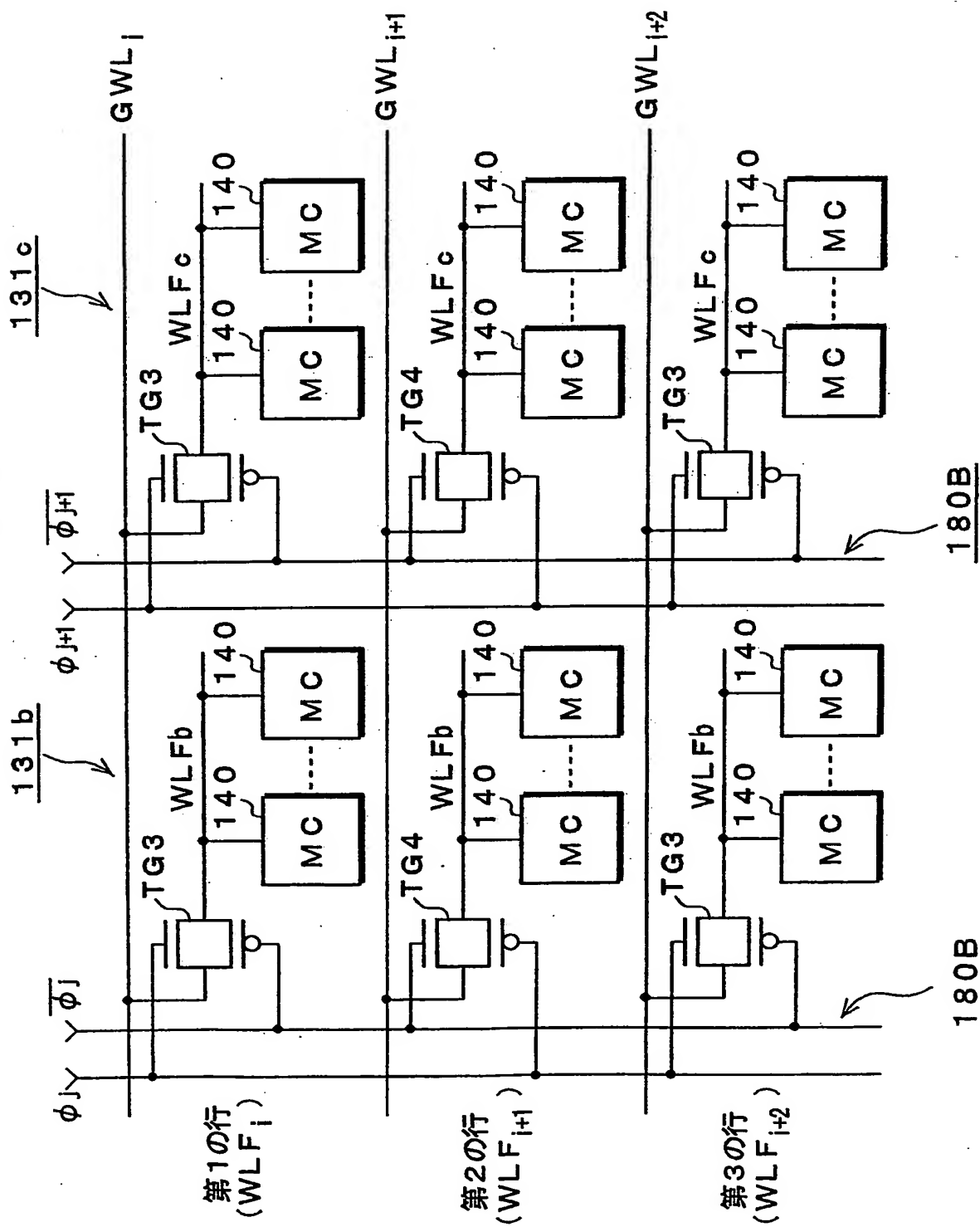
22 / 37

FIG. 27



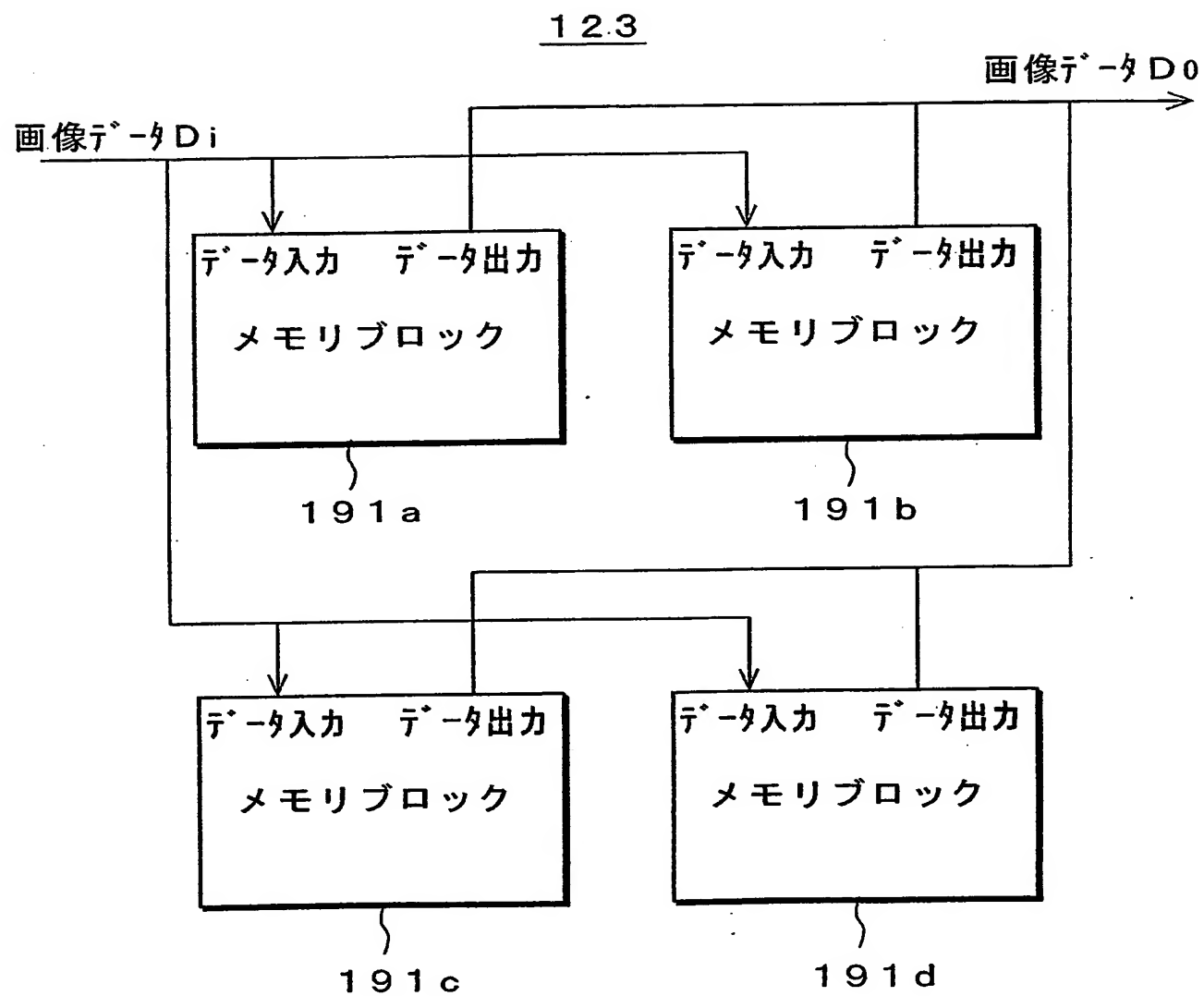
23 / 37

FIG. 28



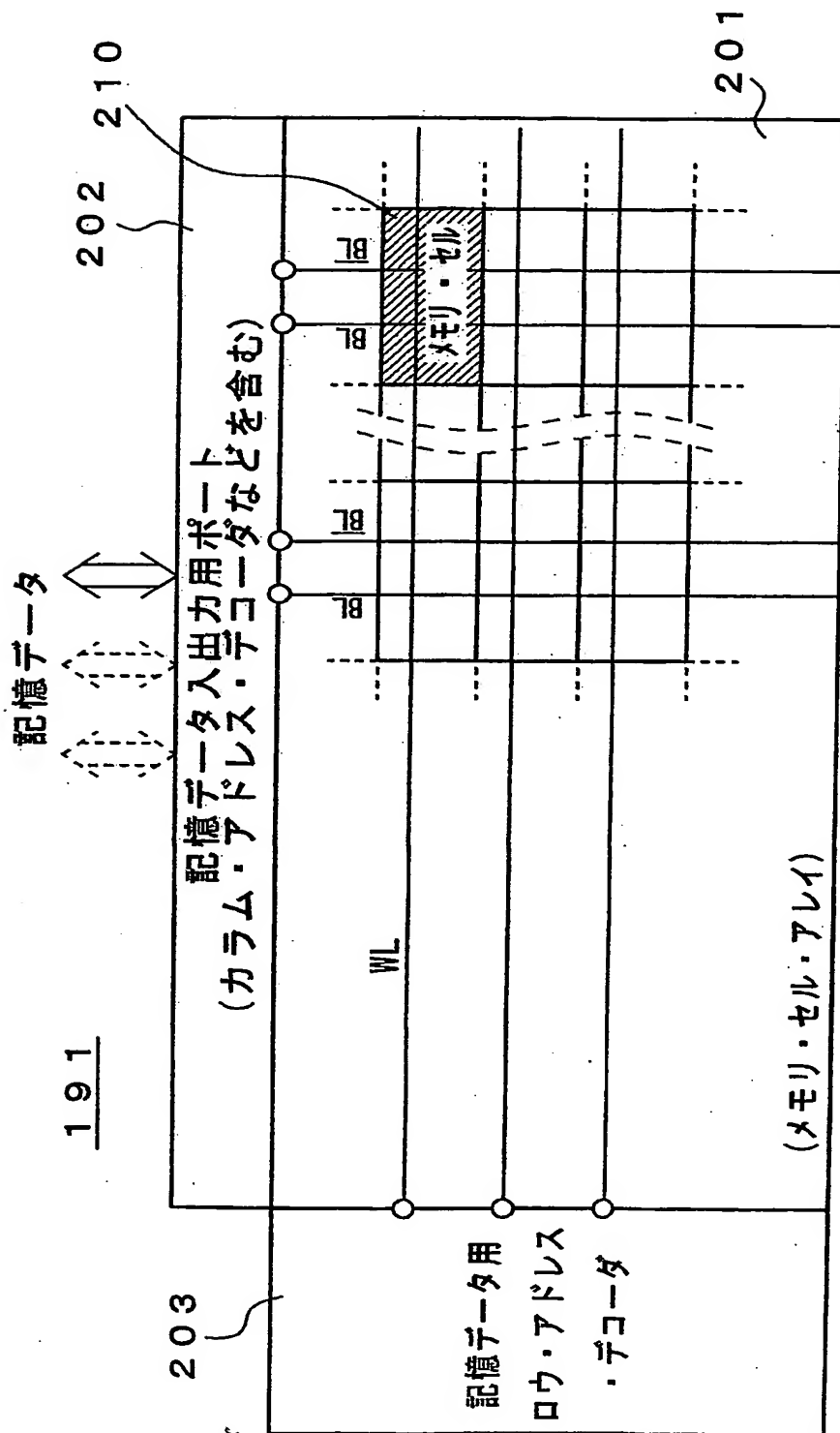
24 / 37

FIG. 29



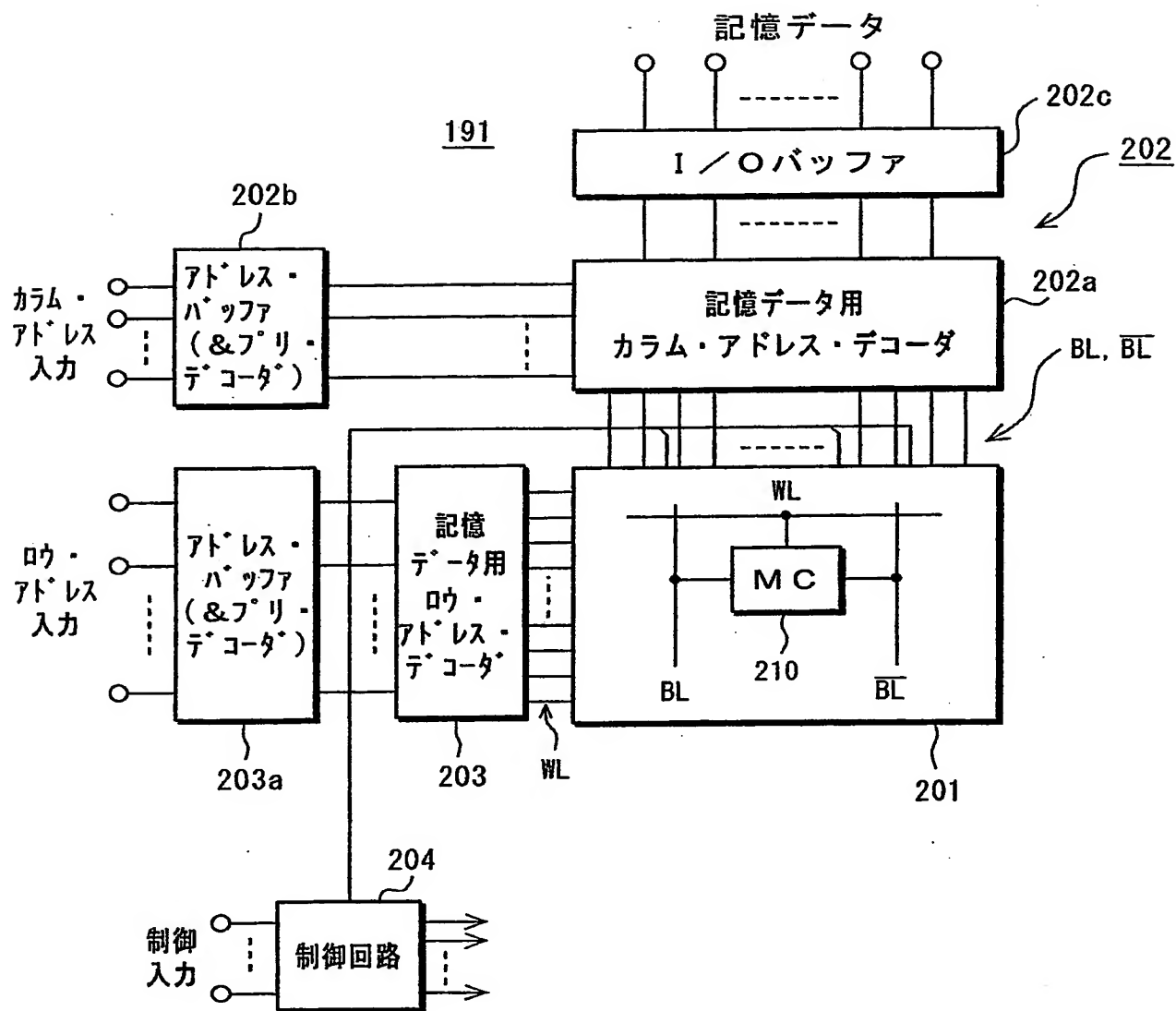
25 / 37

FIG. 30

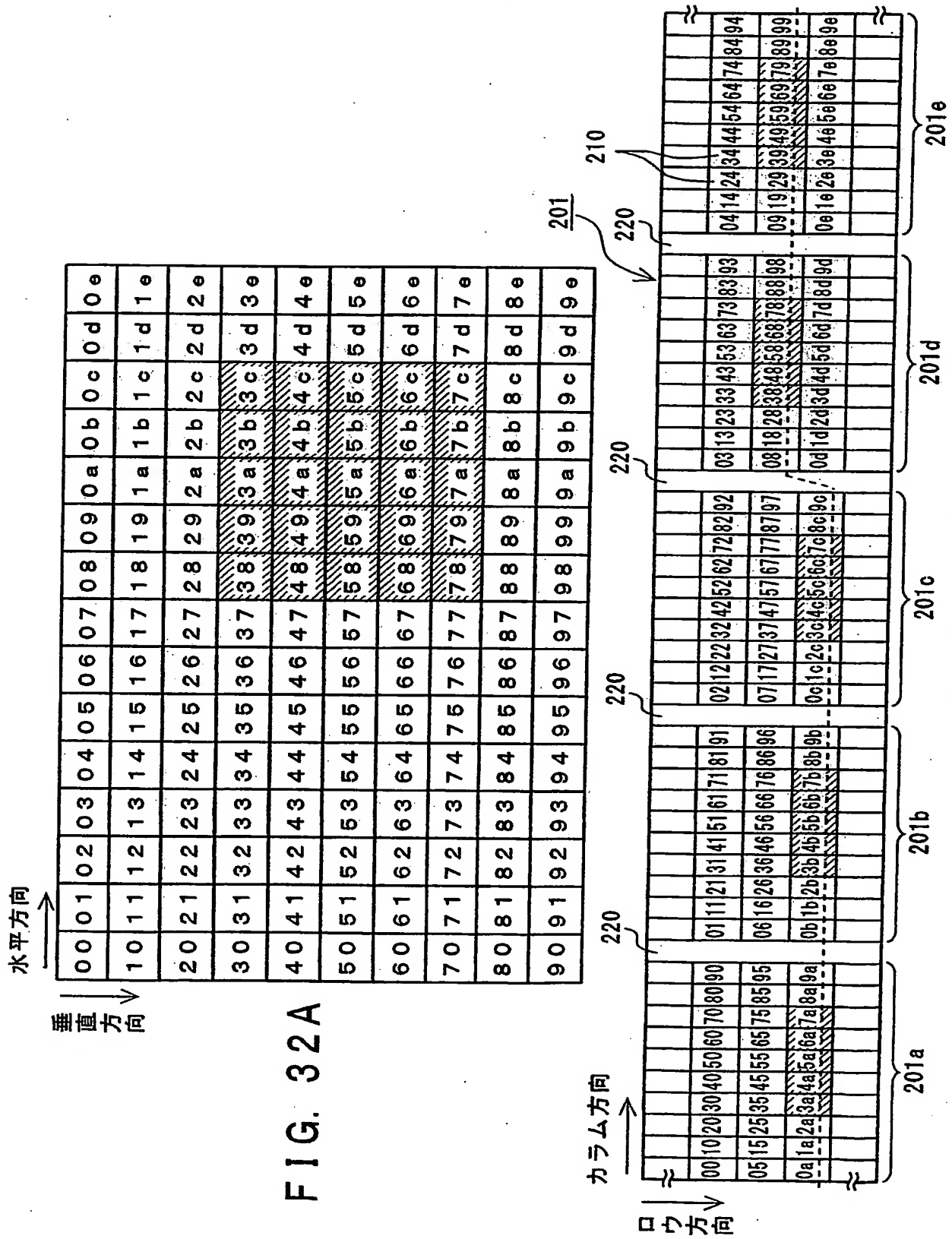


26 / 37

FIG. 31

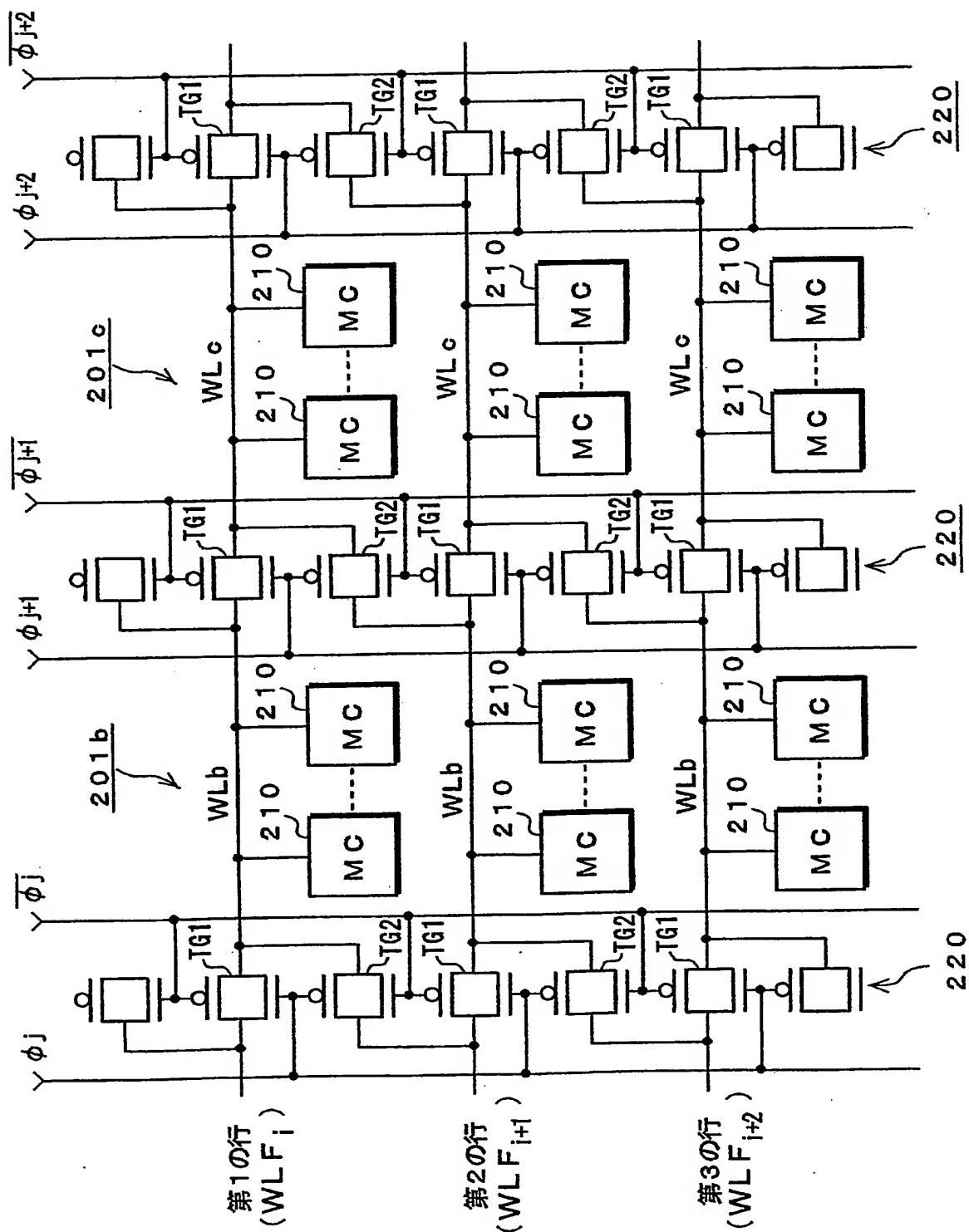


27 / 37



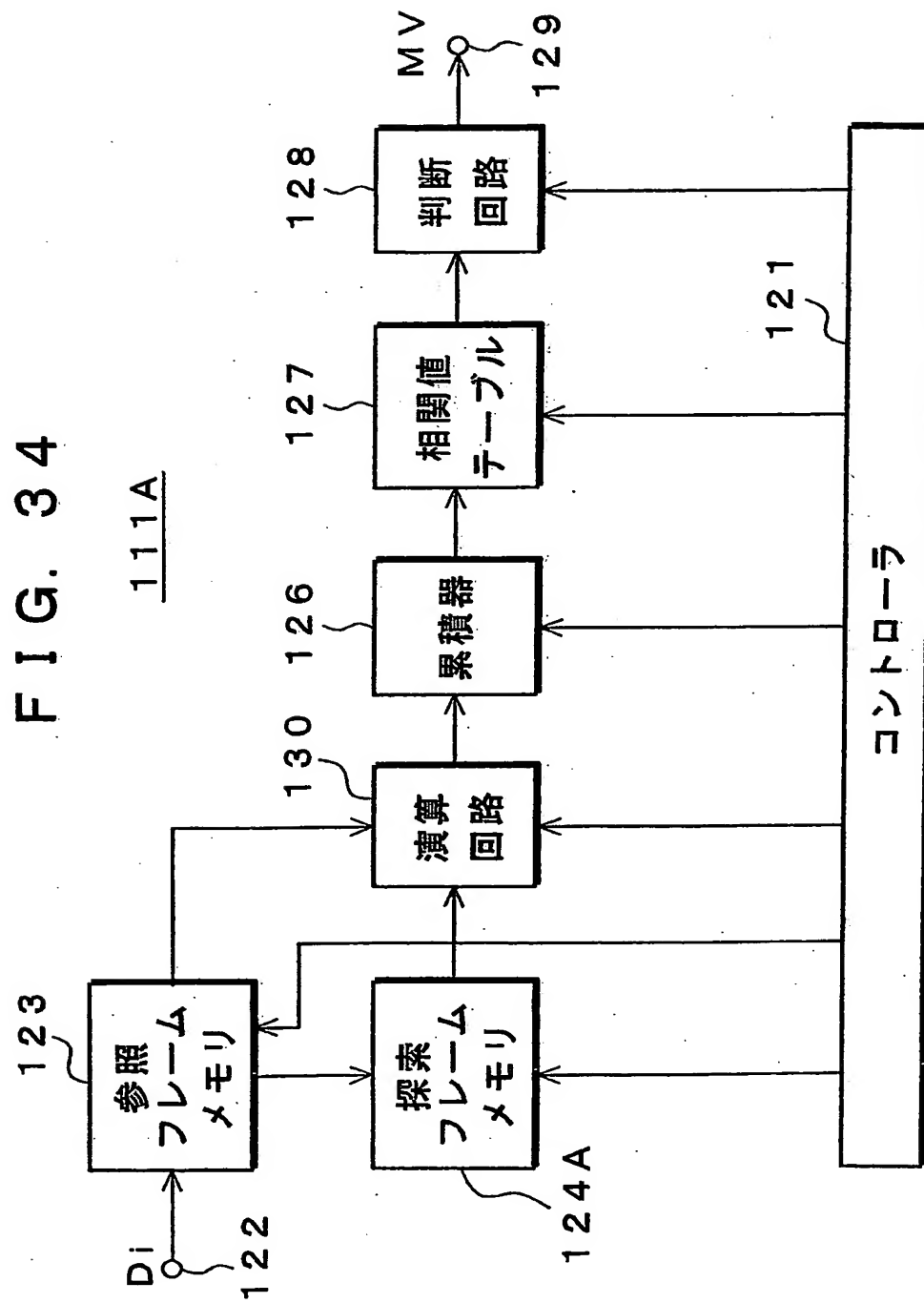
28 / 37

FIG. 33



29 / 37

FIG. 34



30 / 37

FIG. 35A

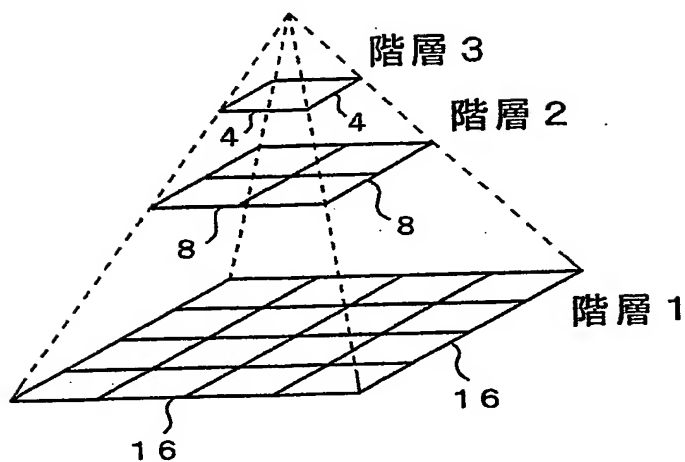


FIG. 35B

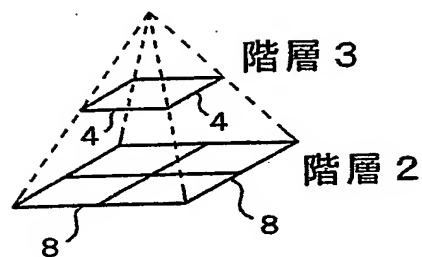


FIG. 39

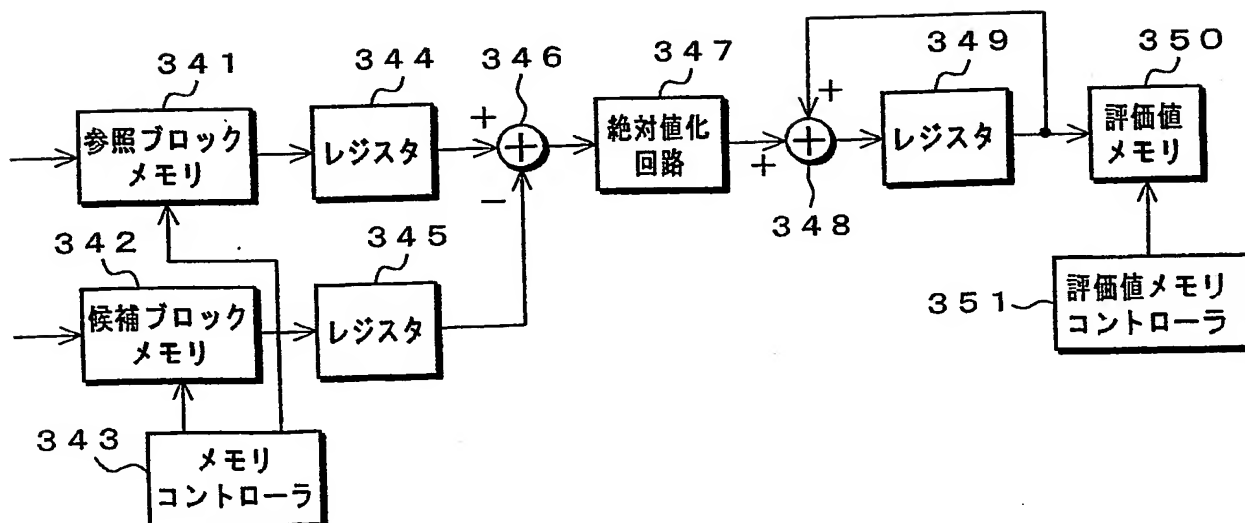
340

FIG. 36A

FIG. 36B

階層 3

z1	

b1	

階層 2

y1	y2		
y3	y4		

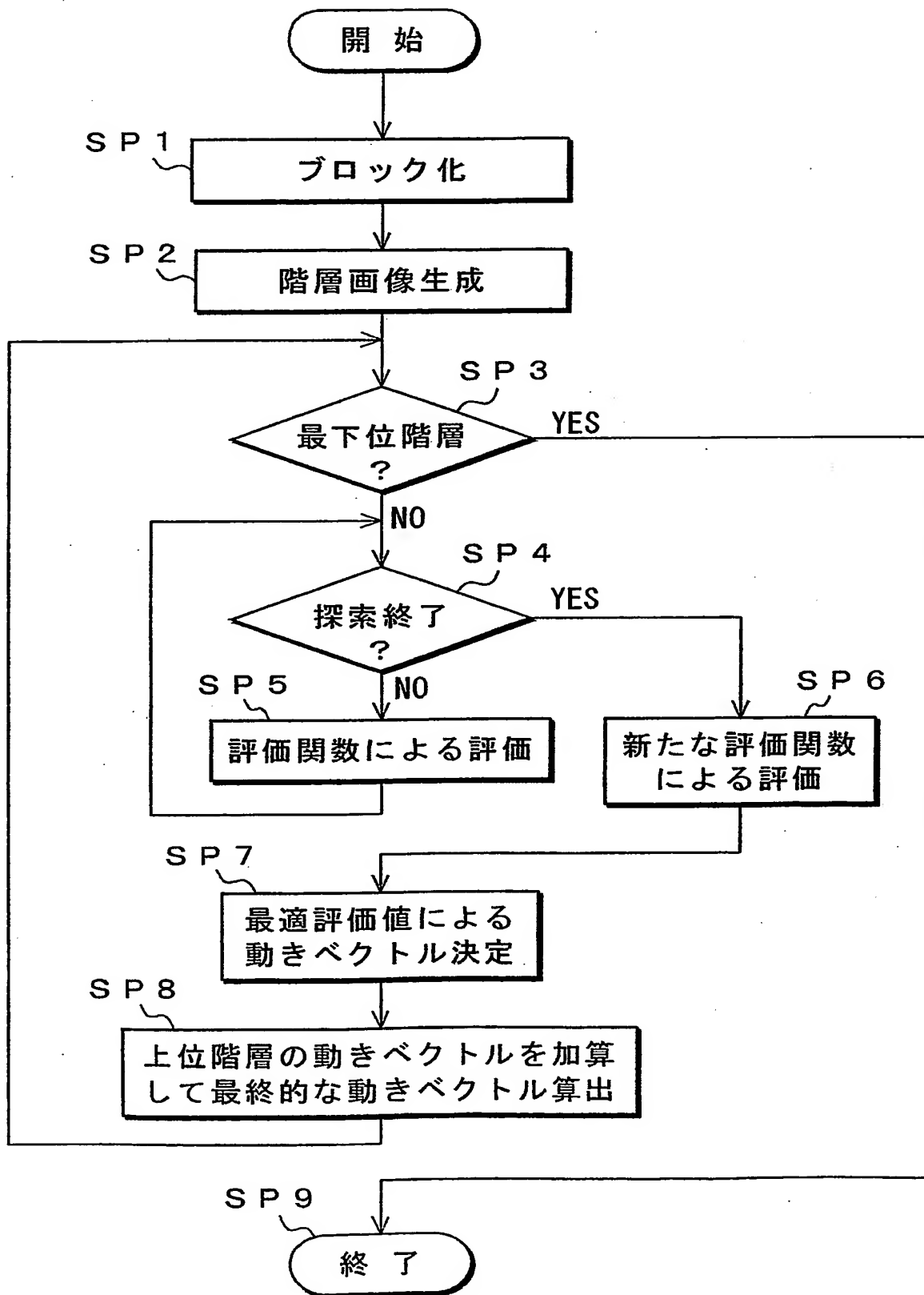
a1	a2		
a3	a4		

階層 1

x1	x2	x5	x6				
x3	x4	x7	x8				
x9	x10	x13	x14				
x11	x12	x15	x16				

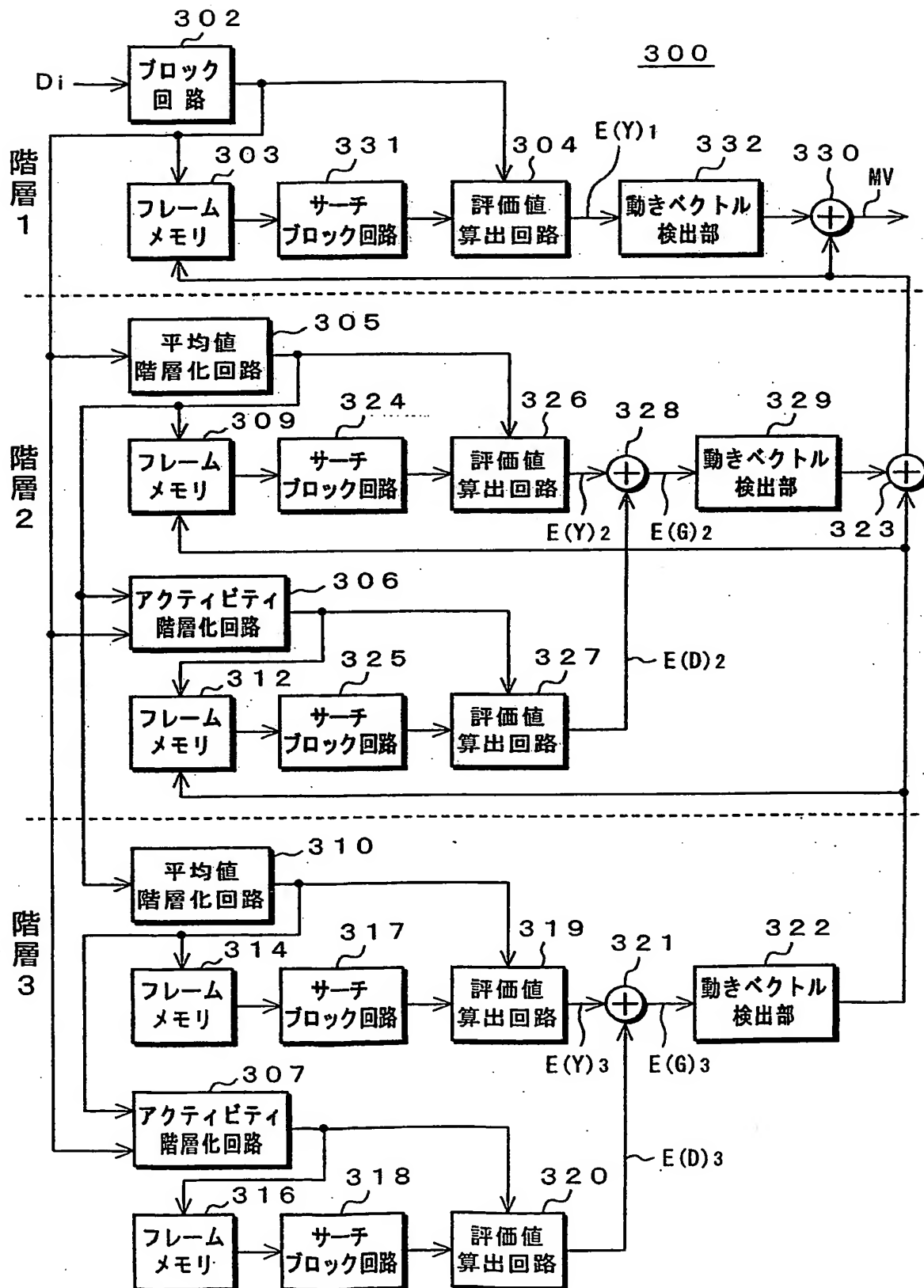
32 / 37

FIG. 37



33 / 37

FIG. 38



35 / 37

FIG. 41

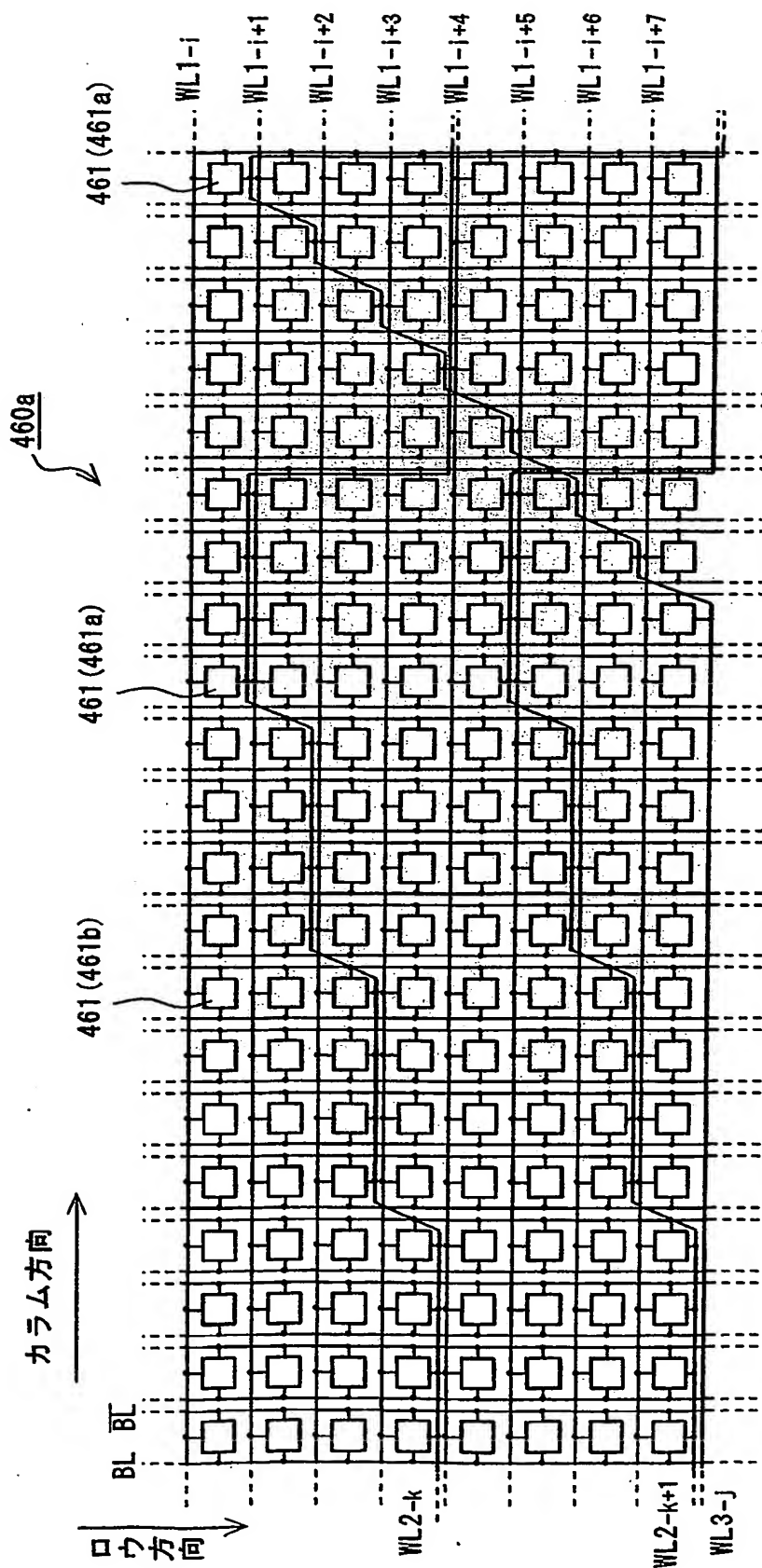
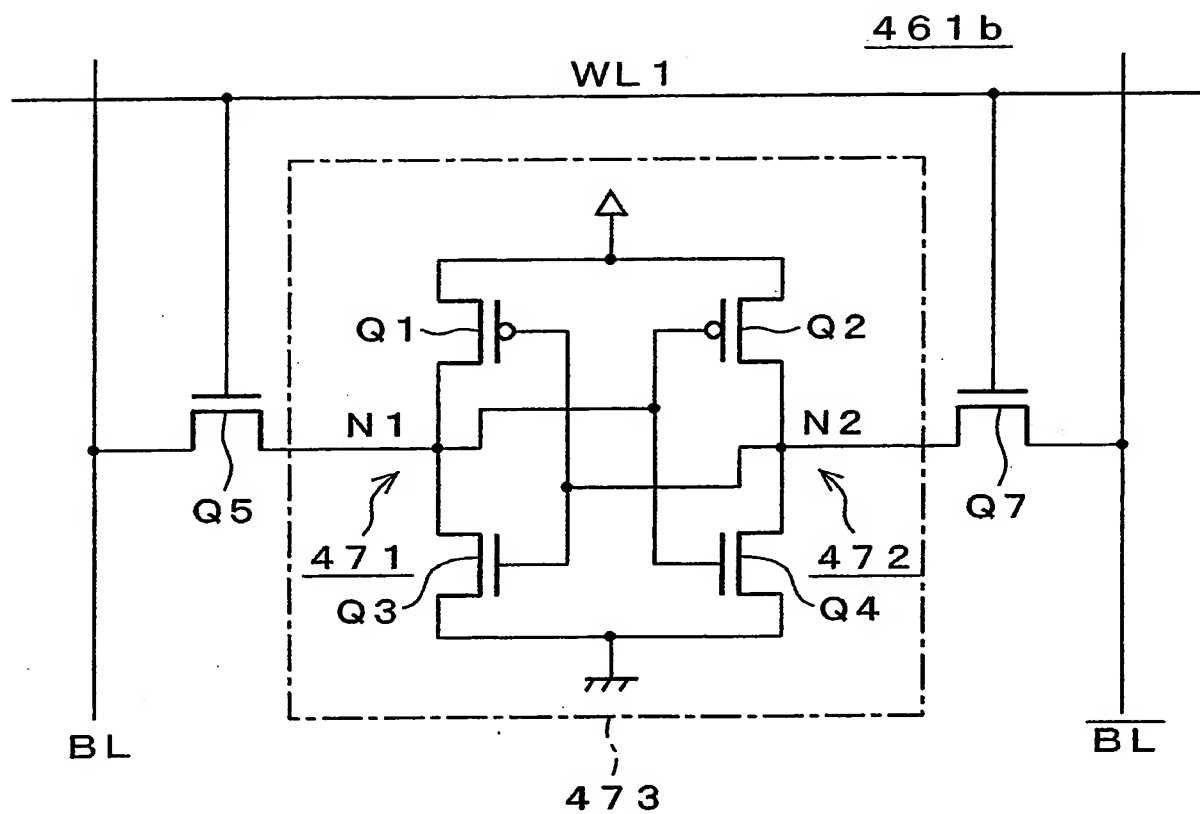
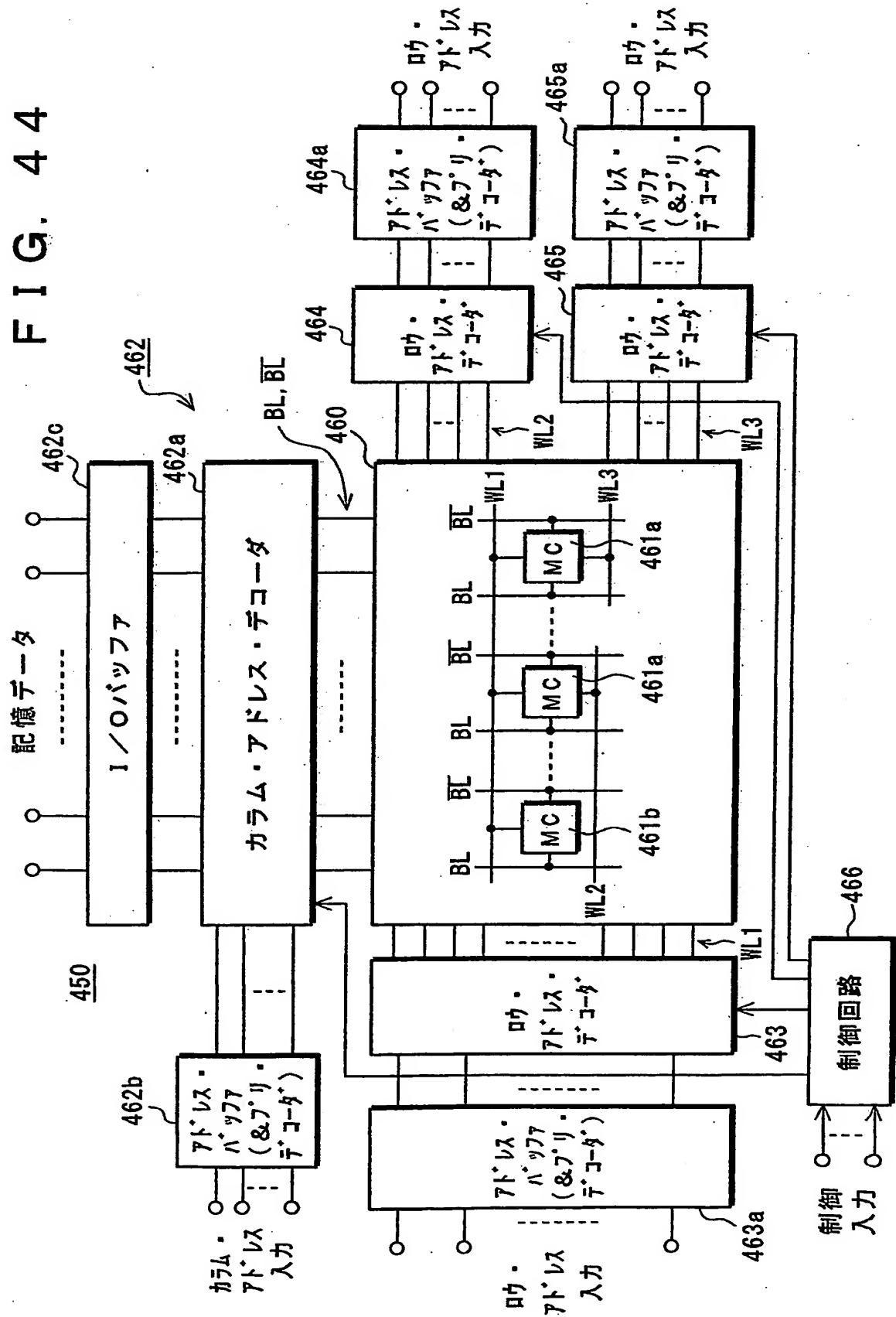


FIG. 43



37 / 37

FIG. 44



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/00166

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C11/34, 7/00, G06T7/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C11/34, 7/00, G06T7/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-312885 A (Mitsubishi Electric Corp.), 09 November, 2001 (09.11.01), Full text; all drawings & DE 10109318 A1 & US 6314048 B1 & US 2001/38567 A1	1, 3, 4, 5 12, 13, 16
Y	JP 2000-287214 A (Toshiba Corp.), 13 October, 2000 (13.10.00), Full text; all drawings (Family: none)	12, 13, 16
X	JP 11-144451 A (Texas Instruments Japan Ltd.), 28 May, 1999 (28.05.99), Full text; all drawings & US 6115323 A	1, 2, 4, 5

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 April, 2003 (28.04.03)Date of mailing of the international search report
20 May, 2003 (20.05.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

T/JP03/00166

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-112179 A (Sharp Corp.), 28 April, 1998 (28.04.98), Full text; all drawings & US 5917770 A	1, 2, 4, 5
Y	JP 59-110086 A (Nippon Telegraph & Telephone Public Corp.), 25 June, 1984 (25.06.84), Full text; all drawings (Family: none)	1, 2, 4, 5
X	JP 6-95937 A (Daikin Industries, Ltd.), 08 April, 1994 (08.04.94), Full text; all drawings (Family: none)	18-22
X	JP 5-206398 A (Toshiba Corp., Toshiba Micro-Electronics Corp.), 13 August, 1993 (13.08.93), Full text; all drawings (Family: none)	18-22
X	JP 5-152542 A (Kawasaki Steel Corp.), 18 June, 1993 (18.06.93), Full text; all drawings (Family: none)	18
X	JP 1-267600 A (Hitachi, Ltd., Hitachi ULSI Engineering Corp.), 25 October, 1989 (25.10.89), Full text; all drawings (Family: none)	18
P,A	JP 2003-109380 A (Sony Corp.), 11 April, 2003 (11.04.03), Full text; all drawings (Family: none)	1-5
P,A	JP 2003-36671 A (Matsushita Electric Industrial Co., Ltd.), 07 February, 2003 (07.02.03), Full text; all drawings (Family: none)	1-5
P,A	JP 2003-85549 A (Sony Corp.), 20 March, 2003 (20.03.03), Full text; all drawings (Family: none)	6-11, 14, 15, 17
A	JP 11-219429 A (Sony Corp.), 10 August, 1999 (10.08.99), Full text; all drawings & WO 99/40541 A1 & EP 972270 A & CN 1255996 T	23, 24

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/00166

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-222157 A (Sony Corp.), 18 August, 1995 (18.08.95), Full text; all drawings (Family: none)	23, 24
A	JP 7-87495 A (Sony Corp.), 31 March, 1995 (31.03.95), Full text; all drawings & DE 69423557 D & EP 643539 A2 & EP 643539 A3 & CN 1109243 A & US 5576772 A & DE 69423557 T	23, 24

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl.⁷ G11C11/34, 7/00, G06T7/20

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl.⁷ G11C11/34, 7/00, G06T7/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2001-312885 A(三菱電機株式会社) 2001. 11. 09, 全文, 全図 & DE 10109318 A1 & US 6314048 B1 & US 2001/38567 A1	1, 3, 4, 5 12, 13, 16
Y	JP 2000-287214 A(株式会社東芝) 2000. 10. 13, 全文, 全図(ファミリーなし)	12, 13, 16

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

28. 04. 03

国際調査報告の発送日

20.05.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀田 和義

5N

8840

電話番号 03-3581-1101 内線 3545

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 11-144451 A(日本テキサス・インスツルメンツ株式会社) 1999. 05. 28, 全文, 全図 & US 6115323 A	1, 2, 4, 5
Y	JP 10-112179 A(シャープ株式会社) 1998. 04. 28, 全文, 全図 & US 5917770 A	1, 2, 4, 5
Y	JP 59-110086 A(日本電信電話公社) 1984. 06. 25, 全文, 全図(ファミリーなし)	1, 2, 4, 5
X	JP 6-95937 A(ダイキン工業株式会社) 1994. 04. 08, 全文, 全図(ファミリーなし)	18-22
X	JP 5-206398 A(株式会社東芝, 東芝マイクロエレクトロニクス株式 会社) 1993. 08. 13, 全文, 全図(ファミリーなし)	18-22
X	JP 5-152542 A(川崎製鉄株式会社) 1993. 06. 18, 全文, 全図(ファミリーなし)	18
X	JP 1-267600 A(株式会社日立製作所, 日立超エル・エス・アイエン ジニアリング株式会社) 1989. 10. 25, 全文, 全図(ファミリーなし)	18
PA	JP 2003-109380 A(ソニー株式会社) 2003. 04. 11, 全文, 全図(ファミリーなし)	1-5
PA	JP 2003-36671 A(松下電器産業株式会社) 2003. 02. 07, 全文, 全図(ファミリーなし)	1-5
PA	JP 2003-85549 A(ソニー株式会社) 2003. 03. 20, 全文, 全図(ファミリーなし)	6-11, 14, 15, 17
A	JP 11-219429 A(ソニー株式会社) 1999. 08. 10, 全文, 全図 & WO 99/40541 A1 & EP 972270 A & CN 1255996 T	23, 24
A	JP 7-222157 A(ソニー株式会社) 1995. 08. 18, 全文, 全図(ファミリーなし)	23, 24
A	JP 7-87495 A(ソニー株式会社) 1995. 03. 31, 全文, 全図 & DE 69423557 D & EP 643539 A2 & EP 643539 A3 & CN 1109243 A & US 5576772 A & DE 69423557 T	23, 24

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-208789

(P2003-208789A)

(43)公開日 平成15年7月25日(2003.7.25)

(51)Int.Cl.

識別記号

F I

テーマト(参考)

G 1 1 C 11/41

H 0 3 M 7/36

5 B 0 1 5

H 0 3 M 7/36

G 1 1 C 11/34

3 0 1 E 5 C 0 5 9

H 0 4 N 7/32

H 0 4 N 7/137

Z 5 J 0 6 4

G 1 1 C 11/34

K

11/40

Z

審査請求 未請求 請求項の数17 O L (全 35 頁)

(21)出願番号

特願2002-4955(P2002-4955)

(22)出願日

平成14年1月11日(2002.1.11)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 近藤 哲二郎

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(72)発明者 市川 勉

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(74)代理人 100090376

弁理士 山口 邦夫 (外1名)

最終頁に続く

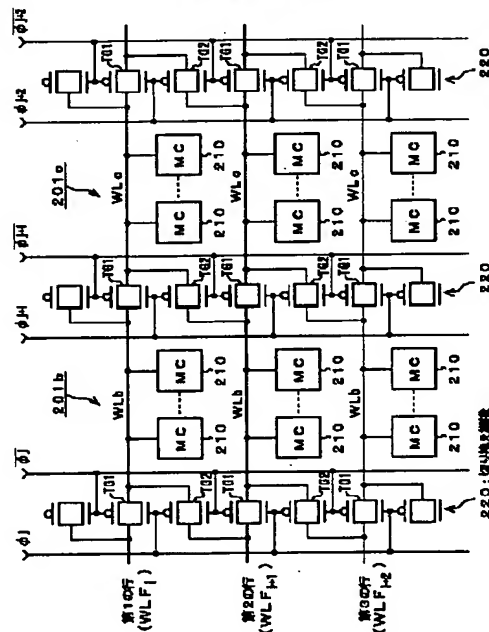
(54)【発明の名称】 半導体メモリ装置、動きベクトル検出装置および動き補償予測符号化装置

(57)【要約】

【課題】矩形または十字形などの任意の形状の画素ブロックを構成する複数の画素データに同時にアクセスでき、また当該画素ブロックの位置を容易に変更できるようにする。

【解決手段】半導体メモリ装置は、1個または2個以上のメモリブロックからなっている。このメモリブロックは、マトリクス状に配された複数のメモリセル210からなるメモリ・セル・アレイを有している。複数のメモリセル210の領域は、ワード線WLに沿う方向に分割された複数の分割領域201a~201eからなり、複数のワード線WLは、それぞれ、複数の分割領域に対応して分割された複数の分割選択線WLa~WLeからなっている。メモリブロックは、各分割領域で同時に活性化される分割ワード線WLを切り換えるための切り換え機構220を有している。各分割ワード線に対応した複数のメモリセル210には、例えば水平方向または垂直方向に1列分の画素データを記憶する。

切り換え機構



【特許請求の範囲】

【請求項1】 1個または2個以上のメモリブロックからなる半導体メモリ装置であって、
上記メモリブロックは、
マトリックス状に配された複数のメモリセルと、
上記マトリックスの一方向のメモリセル列のそれぞれに対応して配され、該メモリセル列を選択するための複数の選択線とを有し、
上記マトリックス状に配された複数のメモリセルの領域は、上記マトリックスの一方向に分割された複数の分割領域からなり、
上記複数の選択線は、それぞれ、上記複数の分割領域に対応して分割された複数の分割選択線からなり、
上記メモリブロックは、
各分割領域で同時に活性化される分割選択線を切り換えるための切り換え機構をさらに有することを特徴とする半導体メモリ装置。

【請求項2】 上記切り換え機構は、
隣接する第1の分割領域と第2の分割領域との間に配され、
上記第1の分割領域の第1の分割選択線を、該第1の分割領域に隣接する第2の分割領域の、上記第1の分割選択線に対して上記マトリックスの他の方向に同一位置または隣接位置の第2の分割選択線に、選択的に接続するスイッチ回路を有してなることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項3】 上記メモリブロックは、上記マトリックスの一方向に並ぶ複数の分割選択線毎に、該一方向に延び、選択信号を入力するためのグローバル選択線をさらに有し、
上記切り換え機構は、
各分割領域にそれぞれ対応して配され、上記マトリックスの他の方向に隣接する第1および第2の分割選択線のうちいずれかに、上記グローバル選択線から上記選択信号を選択的に供給するゲート回路を有してなることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項4】 上記各分割領域の1つの分割選択線に対応する複数のメモリセルには、画像データを構成する垂直方向または水平方向の整数列分の画素データが記憶されることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項5】 上記メモリブロックは、
複数のビット線と、
上記複数のビット線に直交する複数のワード線と、
上記ビット線および上記ワード線に接続され、上記マトリックス状に配された複数のメモリセルとを有し、
上記複数の選択線は、上記ワード線であり、
上記マトリックスの一方向は、上記ワード線に沿う方向であることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項6】 上記メモリブロックは、
複数のビット線と、
上記複数のビット線に直交する複数のワード線と、
上記複数のビット線に平行または直交する、参照データを入力するための参照データ入力線と、
上記複数のビット線に平行または直交する、演算データを出力するための演算データ出力線と、
上記複数のワード線に平行または直交する、セル選択信号を入力するためのセル選択線と、
上記ビット線、上記ワード線、上記参照データ入力線、上記演算データ出力線および上記セル選択線に接続され、上記マトリックス状に配された複数のメモリセルとを有し、
上記メモリセルは、

“1”または“0”のデータを記憶するメモリセル部と、
上記参照データ入力線に接続され、上記参照データを入力するための参照データ入力部と、
上記メモリセル部に記憶されている記憶データと上記参照データ入力部からの参照データとを用いた論理演算を行う演算機能部と、
上記演算データ出力線に接続され、上記演算機能部で演算されて得られた演算データを上記演算データ出力線に出力するための演算データ出力部と、
上記セル選択線に接続され、上記セル選択信号を入力するためのセル選択信号入力部と、
上記セル選択信号入力部に入力されるセル選択信号に基づいて、上記演算機能部で演算されて得られた演算データを上記演算データ出力部に出力する出力制御部とを備え、
上記複数の選択線は、上記複数のセル選択線であり、
上記マトリックスの一方向は、上記セル選択線に沿う方向である

ことを特徴とする請求項1に記載の半導体メモリ装置。

【請求項7】 上記メモリセルの演算機能部は複数の論理演算を並行して行うものであり、
上記メモリセルは、上記複数の論理演算によって得られた複数の演算データをそれぞれ出力するための複数の上記演算データ出力線に接続されていることを特徴とする請求項6に記載の半導体メモリ装置。

【請求項8】 上記メモリブロックは、
上記複数の演算データ出力線で出力される演算データの少なくとも一部を用いて数値演算を行う演算補助セルをさらに有することを特徴とする請求項6に記載の半導体メモリ装置。

【請求項9】 上記演算補助セルは、
上記活性化された上記各分割領域の分割セル選択線に対応した複数のメモリセルから出力される上記演算データを用いてそれぞれ第1の数値演算を行う複数の第1の演算補助セルと、

上記複数の第1の演算補助セルの所定個毎に、該所定個毎の第1の演算補助セルで演算されて得られた演算データを用いてそれぞれ第2の数値演算を行う複数の第2の演算補助セルとからなることを特徴とする請求項8に記載の半導体メモリ装置。

【請求項10】 上記第1の数値演算は減算であり、上記第2の数値演算は絶対値演算であることを特徴とする請求項9に記載の半導体メモリ装置。

【請求項11】 上記一個または複数のメモリブロックより出力される演算データに基づく処理を行う回路ブロックをさらに備えることを特徴とする請求項6に記載の半導体メモリ装置。

【請求項12】 時間的に前後する参照フレームと探索フレームとから動きベクトルを検出する動きベクトル検出装置であって、

上記参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、

上記探索フレームを構成する複数の画素データを記憶する第2のメモリ部と、

上記第1のメモリ部より読み出される参照ブロックの画素データおよび上記第2のメモリ部より読み出される上記参照ブロックに対応した探索範囲の複数の候補ブロックの画素データを入力し、上記複数の候補ブロックのそれぞれに対し、該候補ブロックの画素データおよび上記参照ブロックの画素データとの差分を、対応する画素データ毎に演算する演算部と、

上記演算部で演算された上記複数の候補ブロックのそれぞれに対する画素データ毎の差分に基づいて、上記参照ブロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、

上記第1のメモリ部および上記第2のメモリ部はそれぞれ1個または2個以上の半導体メモリブロックで構成され、

上記半導体メモリブロックは、

複数のビット線と、

上記複数のビット線に直交する複数のワード線と、

上記ビット線および上記ワード線に接続され、マトリクス状に配された複数のメモリセルとを有し、

上記マトリクス状に配された複数のメモリセルの領域は、上記ワード線に沿う方向に分割された複数の分割領域からなり、

上記複数の選択線は、それぞれ、上記複数の分割領域に対応して分割された複数の分割ワード線からなり、

上記半導体メモリブロックは、

上記各分割領域で同時に活性化される分割ワード線を切り換えるための切り換え機構をさらに有することを特徴とする動きベクトル検出装置。

【請求項13】 上記各分割領域の1つの分割ワード線に対応する複数のメモリセルには、画像データを構成する垂直方向または水平方向の整数列分の画素データが記

憶されることを特徴とする請求項12に記載の動きベクトル検出装置。

【請求項14】 時間的に前後する参照フレームと探索フレームとから動きベクトルを検出する動きベクトル検出装置であって、

上記参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、

上記第1のメモリ部より読み出される参照ブロックの画素データを参照データとして入力し、上記参照ブロックに対応した探索範囲の複数の候補ブロックのそれぞれに対し、該候補ブロックの画素データおよび上記参照ブロックの画素データとの差分を、対応する画素データ毎に演算する第2のメモリ部と、

上記第2のメモリ部で演算された上記複数の候補ブロックのそれぞれに対する画素データ毎の差分に基づいて、上記参照ブロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、

上記第1のメモリ部は1個または2個以上の第1の半導体メモリブロックで構成され、上記第2のメモリ部は1個または2個以上の第2の半導体メモリブロックで構成され、

上記第1の半導体メモリブロックは、

複数のビット線と、

上記複数のビット線に直交する複数のワード線と、

上記ビット線および上記ワード線に接続され、マトリクス状に配された複数のメモリセルとを有し、

上記マトリクス状に配された複数のメモリセルの領域は、上記ワード線に沿う方向に分割された複数の分割領域からなり、

上記複数の選択線は、それぞれ、上記複数の分割領域に対応して分割された複数の分割ワード線からなり、

上記第1の半導体メモリブロックは、

上記各分割領域で同時に活性化される分割ワード線を切り換えるための切り換え機構をさらに有し、

上記第2の半導体メモリブロックは、

複数のビット線と、

上記複数のビット線に直交する複数のワード線と、

上記複数のビット線に平行または直交する、参照データを入力するための参照データ入力線と、

上記複数のビット線に平行または直交する、演算データを出力するための演算データ出力線と、

上記複数のワード線に平行または直交する、セル選択信号を入力するためのセル選択線と、

上記ビット線、上記ワード線、上記参照データ入力線、

上記演算データ出力線および上記セル選択線に接続され、

上記マトリクス状に配された複数のメモリセルと、

上記複数の演算データ出力線で出力される演算データの少なくとも一部を用いて数値演算を行って上記差分を得る演算補助セルとを有し、

上記メモリセルは、
 “1”または“0”のデータを記憶するメモリセル部
 と、
 上記参照データ入力線に接続され、上記参照データを入力するための参照データ入力部と、
 上記メモリセル部に記憶されている記憶データと上記参照データ入力部からの参照データとを用いた論理演算を行う演算機能部と、
 上記演算データ出力線に接続され、上記演算機能部で演算されて得られた演算データを上記演算データ出力線に出力するための演算データ出力部と、
 上記セル選択線に接続され、上記セル選択信号を入力するためのセル選択信号入力部と、
 上記セル選択信号入力部に入力されるセル選択信号に基づいて、上記演算機能部で演算されて得られた演算データを上記演算データ出力部に出力する出力制御部とを備え、
 上記マトリクス状に配された複数のメモリセルの領域は、上記セル選択線に沿う方向に分割された複数の分割領域からなり、
 上記複数のセル選択線は、それぞれ、上記複数の分割領域に対応して分割された複数の分割セル選択線からなり、
 上記第2の半導体メモリブロックは、
 上記各分割領域で同時に活性化される分割セル選択線を切り換えるための切り換え機構をさらに有することを特徴とする動きベクトル検出装置。
 【請求項15】 上記各分割領域の1つの分割セル選択線に対応する複数のメモリセルには、画像データを構成する垂直方向または水平方向の整数列分の画素データが記憶されることを特徴とする請求項14に記載の動きベクトル検出装置。
 【請求項16】 時間的に前後する参照フレームと探索フレームとから動きベクトル検出回路で動きベクトルを検出し、該動きベクトルを用いて動き補償を行う動き補償予測符号化装置であって、
 上記動きベクトル検出回路は、
 上記参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、
 上記探索フレームを構成する複数の画素データを記憶する第2のメモリ部と、
 上記第1のメモリ部より読み出される参照ブロックの画素データおよび上記第2のメモリ部より読み出される上記参照ブロックに対応した探索範囲の複数の候補ブロックの画素データを入力し、上記複数の候補ブロックのそれぞれに対し、該候補ブロックの画素データおよび上記参照ブロックの画素データとの差分を、対応する画素データ毎に演算する演算部と、
 上記演算部で演算された上記複数の候補ブロックのそれぞれに対する画素データ毎の差分に基づいて、上記参照

ブロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、
 上記第1のメモリ部および上記第2のメモリ部はそれぞれ1個または2個以上の半導体メモリブロックで構成され、
 上記半導体メモリブロックは、
 複数のビット線と、
 上記複数のビット線に直交する複数のワード線と、
 上記ビット線および上記ワード線に接続され、マトリクス状に配された複数のメモリセルとを有し、
 上記マトリクス状に配された複数のメモリセルの領域は、上記ワード線に沿う方向に分割された複数の分割領域からなり、
 上記複数の選択線は、それぞれ、上記複数の分割領域に対応して分割された複数の分割ワード線からなり、
 上記メモリブロックは、
 上記各分割領域で同時に活性化される分割ワード線を切り換えるための切り換え機構をさらに有することを特徴とする動き補償予測符号化装置。
 【請求項17】 時間的に前後する参照フレームと探索フレームとから動きベクトル検出回路で動きベクトルを検出し、該動きベクトルを用いて動き補償を行う動き補償予測符号化装置であって、
 上記動きベクトル検出回路は、
 上記参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、
 上記第1のメモリ部より読み出される参照ブロックの画素データを参照データとして入力し、上記参照ブロックに対応した探索範囲の複数の候補ブロックのそれぞれに対し、該候補ブロックの画素データおよび上記参照ブロックの画素データとの差分を、対応する画素データ毎に演算する第2のメモリ部と、
 上記第2のメモリ部で演算された上記複数の候補ブロックのそれぞれに対する画素データ毎の差分に基づいて、上記参照ブロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、
 上記第1のメモリ部は1個または2個以上の第1の半導体メモリブロックで構成され、上記第2のメモリ部は1個または2個以上の第2の半導体メモリブロックで構成され、
 上記第1の半導体メモリブロックは、
 複数のビット線と、
 上記複数のビット線に直交する複数のワード線と、
 上記ビット線および上記ワード線に接続され、マトリクス状に配された複数のメモリセルとを有し、
 上記マトリクス状に配された複数のメモリセルの領域は、上記ワード線に沿う方向に分割された複数の分割領域からなり、
 上記複数の選択線は、それぞれ、上記複数の分割領域に対応して分割された複数の分割ワード線からなり、

上記第1の半導体メモリブロックは、
 上記各分割領域で同時に活性化される分割ワード線を切り換えるための切り換え機構をさらに有し、
 上記第2の半導体メモリブロックは、
 複数のビット線と、
 上記複数のビット線に直交する複数のワード線と、
 上記複数のビット線に平行または直交する、参照データを入力するための参照データ入力線と、
 上記複数のビット線に平行または直交する、演算データを入力するための演算データ出力線と、
 上記複数のワード線に平行または直交する、セル選択信号を入力するためのセル選択線と、
 上記ビット線、上記ワード線、上記参照データ入力線、上記演算データ出力線および上記セル選択線に接続され、上記マトリクス状に配された複数のメモリセルと、
 上記複数の演算データ出力線で出力される演算データの少なくとも一部を用いて数値演算を行って上記差分を得る演算補助セルとを有し、
 上記メモリセルは、
 “1”または“0”のデータを記憶するメモリセル部と、
 上記参照データ入力線に接続され、上記参照データを入力するための参照データ入力部と、
 上記メモリセル部に記憶されている記憶データと上記参照データ入力部からの参照データとを用いた論理演算を行う演算機能部と、
 上記演算データ出力線に接続され、上記演算機能部で演算されて得られた演算データを上記演算データ出力線に出力するための演算データ出力部と、
 上記セル選択線に接続され、上記セル選択信号を入力するためのセル選択信号入力部と、
 上記セル選択信号入力部に入力されるセル選択信号に基づいて、上記演算機能部で演算されて得られた演算データを上記演算データ出力部に出力する出力制御部とを備え、
 上記マトリクス状に配された複数のメモリセルの領域は、上記セル選択線に沿う方向に分割された複数の分割領域からなり、
 上記複数のセル選択線は、それぞれ、上記複数の分割領域に対応して分割された複数の分割セル選択線からなり、
 上記第2の半導体メモリブロックは、
 上記各分割領域で同時に活性化される分割セル選択線を切り換えるための切り換え機構をさらに有することを特徴とする動き補償予測符号化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体メモリ装置、動きベクトル検出装置および動き補償予測符号化装

置に関する。詳しくは、メモリ・セル・アレイのマトリクス状に配された複数のメモリセルの領域をマトリクスの一方向に沿う方向に分割し、メモリ・セル・アレイの上記一方向のメモリセル列のそれぞれに対応して配されている複数の選択線を、それぞれ各分割領域に対応して分割された複数の分割選択線で構成し、各分割領域で同時に活性化される分割選択線を切り換えるための切り換え機構を有する構成とすることによって、例えば矩形または十字形などの任意の形状の画素ブロックを構成する複数の画素データに同時にアクセスでき、また当該画素ブロックの位置を容易に変更し得るようにした半導体メモリ装置等に係るものである。

【0002】

【従来の技術】配列データにおいては、その中の比較的狭い領域内のデータについて、同時に処理を行うことが望ましい場合がある。画像データの処理を例にとれば、注目画素とその近傍の画素とのデータから注目画素における処理データを生成するようになされる。あるいは、ブロック・マッチングによる動きベクトル検索(ME: Motion Estimation)の場合、前フレームのある位置におけるある大きさの画素ブロック内の画素データが、後フレームではどの位置における同じ大きさの画素ブロック内のデータと最も近いかを調べる。その場合の両画素ブロック間の位置の差が動きベクトルである。

【0003】ここで、上述した画素ブロック内の画素データは、画像データを記憶しているメモリから同時に読み出し、また対応する画素データ間の差分等の演算も各画素について同時に行うことが、処理全体あるいはアルゴリズムとしては自然でわかりやすい。

【0004】

【発明が解決しようとする課題】しかし従来は、画像データを記憶するメモリとしてはシンクロナスDRAMなどの汎用メモリを用い、そこから速い転送速度で画素データを順次読み出し、これらをレジスタに一時的に蓄積して、必要なタップあるいは画素ブロックを形成することが行われている。この場合、全データが揃うまでの待ち時間が生じ、処理の高速化、効率化を図ることができなかった。

【0005】そこで、この発明では、例えば矩形または十字形などの任意の形状の画素ブロックを構成する複数の画素データに同時にアクセス可能とすると共に、当該画素ブロックの位置を容易に変更可能とし、処理の高速化、効率化を図ることができる半導体メモリ装置等を提供することを目的とする。

【0006】

【課題を解決するための手段】この発明に係る半導体メモリ装置は、1個または2個以上のメモリブロックからなる半導体メモリ装置であって、メモリブロックは、マトリクス状に配された複数のメモリセルと、マトリクスの一方向のメモリセル列のそれぞれに対応して配

され、メモリセル列を選択するための複数の選択線とを有し、マトリックス状に配された複数のメモリセルの領域は、マトリックスの一方の方向に分割された複数の分割領域からなり、複数の選択線は、それぞれ、複数の分割領域に対応して分割された複数の分割選択線からなり、メモリブロックは、各分割領域で同時に活性化される分割選択線を切り換えるための切り換え機構をさらに有するものである。

【0007】この発明に係る動きベクトル検出装置は、時間的に前後する参照フレームと探索フレームとから動きベクトルを検出する動きベクトル検出装置であって、参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、探索フレームを構成する複数の画素データを記憶する第2のメモリ部と、第1のメモリ部より読み出される参照ブロックの画素データおよび第2のメモリ部より読み出される参照ブロックに対応した探索範囲の複数の候補ブロックの画素データを入力し、複数の候補ブロックのそれぞれに対し、この候補ブロックの画素データおよび参照ブロックの画素データとの差分を、対応する画素データ毎に演算する演算部と、この演算部で演算された複数の候補ブロックのそれぞれに対する画素データ毎の差分に基づいて、参照ブロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、第1のメモリ部および第2のメモリ部はそれぞれ1個または2個以上の半導体メモリブロックで構成され、半導体メモリブロックは、複数のビット線と、複数のビット線に直交する複数のワード線と、ビット線およびワード線に接続され、マトリックス状に配された複数のメモリセルとを有し、マトリックス状に配された複数のメモリセルの領域は、ワード線に沿う方向に分割された複数の分割領域からなり、複数の選択線は、それぞれ、複数の分割領域に対応して分割された複数の分割ワード線からなり、半導体メモリブロックは、各分割領域で同時に活性化される分割ワード線を切り換えるための切り換え機構をさらに有するものである。

【0008】また、この発明に係る動きベクトル検出装置は、時間的に前後する参照フレームと探索フレームとから動きベクトルを検出する動きベクトル検出装置であって、参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、第1のメモリ部より読み出される参照ブロックの画素データを参照データとして入力し、参照ブロックに対応した探索範囲の複数の候補ブロックのそれぞれに対し、この候補ブロックの画素データおよび参照ブロックの画素データとの差分を、対応する画素データ毎に演算する第2のメモリ部と、この第2のメモリ部で演算された複数の候補ブロックのそれぞれに対する画素データ毎の差分に基づいて、参照ブロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、第1のメモリ部は1個または2個以上の第1の半導体メモリブロックで構成され、第2のメモリ部は1

個または2個以上の第2の半導体メモリブロックで構成され、第1の半導体メモリブロックは、複数のビット線と、この複数のビット線に直交する複数のワード線と、ビット線およびワード線に接続され、マトリックス状に配された複数のメモリセルとを有し、マトリックス状に配された複数のメモリセルの領域は、ワード線に沿う方向に分割された複数の分割領域からなり、複数の選択線は、それぞれ、複数の分割領域に対応して分割された複数の分割ワード線からなり、第1の半導体メモリブロックは、各分割領域で同時に活性化される分割ワード線を切り換えるための切り換え機構をさらに有し、第2の半導体メモリブロックは、複数のビット線と、この複数のビット線に直交する複数のワード線と、複数のビット線に平行または直交する、参照データを入力するための参照データ入力線と、複数のビット線に平行または直交する、演算データを入力するための演算データ出力線と、複数のワード線に平行または直交する、セル選択信号を入力するためのセル選択線と、ビット線、ワード線、参照データ入力線、演算データ出力線およびセル選択線に接続され、マトリックス状に配された複数のメモリセルと、複数の演算データ出力線で出力される演算データの少なくとも一部を用いて数値演算を行って差分を得る演算補助セルとを有し、メモリセルは、“1”または“0”のデータを記憶するメモリセル部と、参照データ入力線に接続され、参照データを入力するための参照データ入力部と、メモリセル部に記憶されている記憶データと参照データ入力部からの参照データとを用いた論理演算を行う演算機能部と、演算データ出力線に接続され、演算機能部で演算されて得られた演算データを演算データ出力線に出力するための演算データ出力部と、セル選択線に接続され、セル選択信号を入力するためのセル選択信号入力部と、セル選択信号入力部に入力されるセル選択信号に基づいて、演算機能部で演算されて得られた演算データを演算データ出力部に出力する出力制御部とを備え、マトリックス状に配された複数のメモリセルの領域は、セル選択線に沿う方向に分割された複数の分割領域からなり、複数のセル選択線は、それぞれ、複数の分割領域に対応して分割された複数の分割セル選択線からなり、第2の半導体メモリブロックは、各分割領域で同時に活性化される分割セル選択線を切り換えるための切り換え機構をさらに有するものである。

【0009】また、この発明に係る動き補償予測符号化装置は、上述した動きベクトル検出装置で検出された動きベクトルを用いて動き補償を行うものである。

【0010】この発明において、半導体メモリ装置は、1個または2個以上のメモリブロックからなっている。このメモリブロックは、マトリックス状に配された複数のメモリセルからなるメモリ・セル・アレイと、このメモリ・セル・アレイのマトリックスの一方の方向のメモリセル列のそれぞれに対応して配され、このメモリセル列

を選択するための複数の選択線とを有している。

【0011】例えば、メモリブロックは、複数のビット線と、複数のビット線に直交する複数のワード線と、ビット線およびワード線に接続され、マトリックス状に配された複数のメモリセルとを有し、上述の複数の選択線はワード線であり、上述のマトリックスの一方はワード線に沿う方向である。

【0012】また例えば、メモリブロックは、複数のビット線と、この複数のビット線に直交する複数のワード線と、複数のビット線に平行または直交する、参照データを入力するための参照データ入力線と、複数のビット線に平行または直交する、演算データを出力するための演算データ出力線と、複数のワード線に平行または直交する、セル選択信号を入力するためのセル選択線と、ビット線、ワード線、参照データ入力線、演算データ出力線およびセル選択線に接続され、マトリックス状に配された複数のメモリセルとを有し、メモリセルは、“1”または“0”のデータを記憶するメモリセル部と、参照データ入力線に接続され、参照データを入力するための参照データ入力部と、メモリセル部に記憶されている記憶データと参照データ入力部からの参照データとを用いた論理演算を行う演算機能部と、演算データ出力線に接続され、演算機能部で演算されて得られた演算データを演算データ出力線に出力するための演算データ出力部と、セル選択線に接続され、セル選択信号を入力するためのセル選択信号入力部と、セル選択信号入力部に入力されるセル選択信号に基づいて、演算機能部で演算されて得られた演算データを演算データ出力部に出力する出力制御部とを備え、複数の選択線は複数のセル選択線であり、マトリックスの一方はセル選択線に沿う方向である。

【0013】この場合、メモリセルでは、メモリセル部に記憶されている記憶データと参照データ入力部からの参照データとの論理演算が演算機能部で行われ、セル選択信号入力部にセル選択信号が入力されることで、この演算機能部からの演算データが演算データ出力部に出力される。また、演算補助セルでは、メモリセルの演算データ出力部に出力された演算データを用いた数値演算が行われ、その演算データが演算データ出力部に出力される。

【0014】例えば、メモリセルの演算機能部では複数の論理演算が並行して行われると共に、演算補助セルの演算部では複数の論理演算によって得られた複数の演算データを用いた数値演算が行われる。

【0015】また例えば、演算補助セルは、第1の演算補助セル部と第2の演算補助セル部とから構成され、第1の演算補助セル部では、メモリセルの演算機能部で演算されて得られた演算データを用いた第1の数値演算が行われると共に、第2の演算補助セル部では、複数の第1の演算補助セル部で演算されて得られた演算データを

用いた第2の数値演算が行われる。この場合、第1の数値演算が減算であり、第2の数値演算が絶対値演算であるとき、演算補助セルからの演算データとして差分絶対値が得られる。

【0016】マトリックス状に配された複数のメモリセルの領域は、マトリックスの一方の方向に分割された複数の分割領域からなり、複数の選択線は、それぞれ、複数の分割領域に対応して分割された複数の分割選択線からなっている。そして、メモリブロックは、各分割領域で同時に活性化される分割選択線を切り換えるための切り換え機構を有している。

【0017】このように、複数の選択線のそれぞれが複数の分割選択線からなるようにすると共に、各分割領域で同時に活性化される分割選択線を切り換える切り換え機構を設けることにより、例えば画像データを構成する画素データをマトリックス状に配された複数のメモリセルに適切に配置しておくことで、矩形または十字形等の任意の形状の画素ブロックを構成する画素データを同時にアクセス可能となると共に、当該画素ブロックの位置を容易に変更可能となる。

【0018】例えば、1つの分割セル選択線に対応する複数のメモリセルに、画像データを構成する垂直方向または水平方向の整数列分の画素データが記憶されることにより、上述の画素ブロックを、水平方向または垂直方向に整数画素単位で移動でき、それと直交する方向に1画素単位で移動できる。

【0019】なお、上述した半導体メモリ装置を、動きベクトル検出装置、あるいは動き補償予測符号化装置の動きベクトル検出回路のメモリ部に用いることで、動きベクトル検出のための処理の高速化、効率化が図られる。

【0020】

【発明の実施の形態】以下、図面を参照しながら、この発明の実施の形態について説明する。図1は、実施の形態としての動き補償予測符号化装置100の構成を示している。この符号化装置100は、画像データ(動画画像を構成するフレームデータ)Diを入力する入力端子101と、この入力端子101に供給される画像データDiと後述する動き補償回路110から供給される予測画像データとの差分を演算する減算器102と、この減算器102で得られる差分データに対してDCT(離散コサイン変換)を行うDCT回路103と、このDCT回路103で得られるDCT係数に対して量子化を行う量子化回路104と、この量子化回路104で得られた符号化データDoを出力する出力端子105とを有している。

【0021】また、符号化装置100は、量子化回路104で得られた符号化データDoに対して逆量子化を行う逆量子化回路106と、この逆量子化回路106の出力データに対して逆DCTを行って差分データを得る逆

DC T回路107と、この逆DC T回路107で得られる差分データと動き補償回路110で得られる予測画像データとを加算して元の画像データを復元する加算器108と、この加算器108で復元された画像データを記憶するフレームメモリ109とを有している。

【0022】また、符号化装置100は、フレームメモリ109に記憶された画像データを読み込み、後述する動きベクトル検出回路111からの動きベクトルMVに基づいて動き補償をした後、上述したように減算器102および加算器108に予測画像データとして供給する動き補償回路110と、入力端子101に供給される画像データDiの動きベクトルMVを検出して動き補償回路110に供給する動きベクトル検出回路111とを有している。

【0023】図1に示す動き補償予測符号化装置100の動作を説明する。入力端子101に入力される画像データDiは、減算器102および動きベクトル検出回路111に供給される。減算器102では、この画像データDiと動き補償回路110から供給される予測画像データとの差分が演算される。

【0024】減算器102で得られる差分データはDC T回路103に供給されて離散コサイン変換される。このDC T回路103で得られるDC T係数は量子化回路104に供給されて量子化される。そして、この量子化回路104で得られた符号化データDoが出力端子105に出力される。

【0025】また、量子化回路104で得られる符号化データDoが逆量子化回路106に供給されて逆量子化され、さらにこの逆量子化回路106の出力データが逆DC T回路107に供給されて逆DC Tされ、差分データが復元される。この差分データと動き補償回路110からの予測データとを加算器108で加算されて元の画像データが復元され、この復元された画像データがフレームメモリ109に記憶される。

【0026】動き補償回路110では、あるフレームにおいては、その前のフレームにフレームメモリ109に記憶された画像データの読み込みが行われて、動きベクトル検出回路111からの動きベクトルMVに基づいて動き補償されて、予測画像データが得られる。この予測画像データは、上述したように、差分データを得るために減算器102に供給されると共に、画像データを復元するために加算器108に供給される。

【0027】次に、動きベクトル検出回路111の詳細を説明する。この動きベクトル検出回路111では、ブロックマッチング法により動きベクトルが検出される。これは、図2に示すように、探索フレームの候補ブロックを所定の探索範囲内で移動し、参照フレームの参照ブロックと最も合致している候補ブロックを検出することにより、動きベクトルを求めるものである。

【0028】ブロックマッチング法では、図3Aに示す

ように、1枚の画像、例えば水平H画素、垂直Vラインの1フレームの画像が図4Bに示すように、P画素×Qラインのブロックに細分化される。図3Bの例では、P=5、Q=5の例である。cがブロックの中心画素位置である。

【0029】図4A～Cは、cを中心画素とする参照ブロックとc'を中心とする候補ブロックの位置関係を示している。cを中心画素とする参照ブロックは、参照フレームの注目しているある参照ブロックであり、それと一致する探索フレームの候補ブロックが探索フレームにおいてc'を中心とするブロックの位置にあるものとしている。ブロックマッチング法では、探索範囲内において、参照ブロックと最も合致する候補ブロックを見出すことによって、動きベクトルを検出する。

【0030】図4Aの場合では、水平方向に+1画素、垂直方向に+1ライン、すなわち、(+1, +1)の動きベクトルが検出される。図4Bでは、(+3, +3)の動きベクトルMVが検出され、図4Cでは、(+2, -1)の動きベクトルが検出される。動きベクトルは、参照フレームの参照ブロック毎に求められる。

【0031】動きベクトルを探索する範囲を水平方向で±S画素、垂直方向で±Tラインとすると、参照ブロックは、その中心cに対して、水平に±S、垂直に±Tずれたところに中心c'を有する候補ブロックと比較される必要がある。

【0032】図5は、参照フレームのある参照ブロックの中心cの位置をRとする時に、比較すべき探索フレームの(2S+1)×(2T+1)個の候補ブロックとの比較が必要なことを示している。すなわち、この図5のます目の位置にc'が存在する候補ブロックの全てが比較対象である。図5は、S=4、T=3とした例である。

【0033】探索範囲内の比較で得られた評価値(すなわち、フレーム差の絶対値和、このフレーム差の二乗和、あるいはフレーム差の絶対値のn乗和等)の中で、最小値を検出することによって、動きベクトルが検出される。図5の探索範囲は、候補ブロックの中心が位置する領域であり、候補ブロックの全体が含まれる探索範囲の大きさは、(2S+1)×(2T+1)となる。

【0034】図6は、動きベクトル検出回路111の構成を示している。この動きベクトル検出回路111は、回路全体の動作を制御するコントローラ121と、画像データDiが入力される入力端子122と、参照フレームの画像データを蓄積するフレームメモリ123と、探索フレームの画像データを蓄積するフレームメモリ124とを有している。これらフレームメモリ123、124の書き込み、読み出し等の動作は、コントローラ121によって制御される。

【0035】入力端子122からあるフレームの画像データがフレームメモリ123に供給されて書き込まれる

際に、このフレームメモリ123に記憶されていた1フレーム前の画像データが読み出されてフレームメモリ124に供給されて書き込まれる。

【0036】コントローラ121の制御に基づき、フレームメモリ124には、フレームメモリ123から参照ブロックの画素データが供給され、そしてこのフレームメモリ124は、この参照ブロックに対応した探索範囲の複数の候補ブロックのそれぞれに対し、この候補ブロックの画素データと参照ブロックの画素データとの差分絶対値を、対応する画素データ毎に演算して出力する。

【0037】また、動きベクトル検出回路111は、フレームメモリ124より出力される、複数の候補ブロックのそれぞれに対応する画素データ毎の差分絶対値を累積する累積器126と、この累積器126で得られる複数の候補ブロックのそれぞれに対する累積値を相関値として格納する相関値テーブル127とを有している。

【0038】また、動きベクトル検出回路111は、相関値テーブル127に格納された複数の候補ブロックのそれぞれに対する相関値に基づいて動きベクトルMVを検出する判断回路128と、この判断回路128で検出された動きベクトルMVを出力する出力端子129とを有している。判断回路128では、最小の相関値を発生する候補ブロックの位置を、動きベクトルMVとして検出する。

【0039】図6に示す動きベクトル検出回路111の動作を説明する。入力端子122に輸入される画像データDiはフレームメモリ123に供給され、参照フレームの画像データとして蓄積される。またこの際、フレームメモリ123に記憶されていた1フレーム前の画像データは、読み出されてフレームメモリ124に供給され、探索フレームの画像データとして蓄積される。

【0040】フレームメモリ123からフレームメモリ124には、参照ブロックの画像データが供給される。フレームメモリ124では、この参照ブロックに対応した探索範囲の複数の候補ブロックのそれぞれに対し、この候補ブロックの画素データと参照ブロックの画素データとの差分絶対値が、対応する画素データ毎に演算されて出力される。この場合、参照ブロックおよび候補ブロックがP画素×Qラインで構成されている場合には(図3B参照)、複数の候補ブロックのそれぞれに対し、P×Q個の差分絶対値が得られる。

【0041】このように、フレームメモリ124より出力される、複数の候補ブロックのそれぞれに対応する画素データ毎の差分絶対値は累積器126に順次供給されて累積される。この累積器126からの複数の候補ブロックのそれぞれに対する累積値は、相関値テーブル127に供給され、相関値として格納される。そして、判断回路128では、このように相関値テーブル127に格納された複数の候補ブロックのそれぞれに対する相関値に基づき、最小の相関値を発生する候補ブロックの位置

が動きベクトルMVとして検出される。

【0042】フレームメモリ123からフレームメモリ124には、参照フレーム内の複数の参照ブロックの画像データが順次供給される。したがって、各参照ブロックに対応して、フレームメモリ124、累積器126、相関値テーブル127および判断回路128では上述した動作が繰り返され、従って判断回路128では、各参照ブロックに対応した動きベクトルMVが順次検出される。このように、判断回路128で検出された動きベクトルMVは出力端子129に出力される。

【0043】次に、フレームメモリ124の詳細を説明する。図7に示すように、本実施の形態において、フレームメモリ124は、4個のメモリブロック125a～125dから構成されているが、フレームメモリ124を構成するメモリブロックの個数は4個に限定されるものではない。メモリブロック125a～125dには、それぞれ、データ入力部、データ出力部、参照データ入力部、演算データ出力部が備えられている。これら、メモリブロック125a、125b、125c、125dには、それぞれ、探索フレームの左上、右上、左下、右下の各部分の画素データが記憶される。

【0044】所定の候補ブロックの中心画素の範囲が、探索フレームの左上、右上、左下、右下の各部分にある場合には、それぞれメモリブロック125a、125b、125c、125dのみを活性化させればよく、消費電力を少なく抑えることができる。

【0045】この場合、メモリブロック125a～125dのそれぞれには、探索フレームの左上、右上、左下、右下の各部分の境界付近の画素データが重複して記憶される。このように、メモリブロック125a～125dに画素データを重複して記憶しておくのは、中心画素が境界付近となる候補ブロックの画素データには、その境界を越えた位置の画素データも必要となるからである。

【0046】図8は、メモリブロック125a、125b、125c、125dにそれぞれ記憶される探索フレームの左上、右上、左下、右下の各部分Fa、Fb、Fc、Fdを示している。メモリブロック125a、125bには水平方向に重複した画素データha、hbが記憶され、メモリブロック125c、125dには水平方向に重複した画素データhc、hdが記憶され、メモリブロック125a、125cには垂直方向に重複した画素データva、vbが記憶され、メモリブロック125b、125dには垂直方向に重複した画素データvb、vdが記憶される。この画素データの水平方向および垂直方向の重複画素数は、候補ブロックの水平方向および垂直方向の大きさが大きい程大きくなる。

【0047】図9は、メモリブロック125(125a～125d)の構成例を示している。メモリブロック125は、複数のメモリセルがマトリクス状に配された

メモリ・セル・アレイ131と、記憶データ入出力用ポート（カラム・アドレス・デコーダなどを含む）132と、記憶データ用ロウ・アドレス・デコーダ133と、参照データ入力用ポート&演算補助セル（カラム・アドレス・デコーダなどを含む）134と、参照データ用ロウ・アドレス・デコーダ135とを有している。

【0048】メモリ・セル・アレイ131は、ロウ方向に延びるデータを転送するための複数のビット線BL、/BL（/BLはBLバーを表している）と、カラム方向に延びる、複数のビット線BL、/BLに直交する複数のワード線WLと、複数のビット線BL、/BLに平行する、参照データを入力するための参照データ入力線RDL、/RDL（/RDLはRDLバーを表している）と、複数のビット線BL、/BLに平行する、演算データを出力するための演算データ出力線DAL、DBLと、ワード線WLに平行する、セル選択信号を入力するためのセル選択線WLFと、これらビット線BL、/BL、ワード線WL、参照データ入力線RDL、/RDL、演算データ出力線DAL、DBLおよびセル選択線WLFに接続され、マトリックス状に配された複数のメモリセル140とからなっている。

【0049】図10は、図9に示したメモリブロック125のメモリ・セル・アレイ131以外の部分の構成を詳細に示したものである。記憶データ用カラム・アドレス・デコーダ132a、アドレスバッファ132bおよびI/Oバッファ132cは、図9における記憶データ入出力用ポート132を構成している。カラム・アドレス・デコーダ132aには、I/Oゲート（カラム・スイッチ）やセンスアンプ等が含まれている。カラム・アドレス・デコーダ132aには、アドレス・バッファ132bを介してカラム・アドレスが入力される。

【0050】カラム・アドレス・デコーダ132aは、アドレス・バッファ132bを介して供給されるカラム・アドレスに対応して、メモリ・セル・アレイ131のカラム方向の所定の複数のメモリセル140に接続される複数のビット線BL、/BLとの接続を確保し、I/Oバッファ132cおよびカラム・アドレス・デコーダ132aを通じて、当該カラム方向の所定のメモリセルに対する、記憶データの書き込み、読み出しが可能となるようにする。

【0051】また、記憶データ用ロウ・アドレス・デコーダ133には、アドレス・バッファ133aを介してロウ・アドレスが入力される。ロウ・アドレス・デコーダ133は、アドレス・バッファ133aを介して供給されるロウ・アドレスに対応して、メモリ・セル・アレイ131のロウ方向の所定のメモリセル140に接続されるワード線WLを活性化し、I/Oバッファ132cおよびカラム・アドレス・デコーダ132aを通じて、当該ロウ方向の所定のメモリセル140に対する、記憶データの書き込み、読み出しが可能となるようにする。

【0052】また、参照データ用カラム・アドレス・デコーダ134a、アドレス・バッファ134b、I/Oバッファ134cおよび演算補助セル134dは、図9における参照データ入力用ポート&演算補助セル134を構成している。カラム・アドレス・デコーダ134aには、I/Oゲート（カラム・スイッチ）やセンスアンプ等が含まれている。カラム・アドレス・デコーダ134aには、アドレス・バッファ134bを介してカラム・アドレスが入力される。

【0053】カラム・アドレス・デコーダ134aは、アドレス・バッファ134bを介して供給されるカラム・アドレスに対応して、メモリ・セル・アレイ131のカラム方向の所定の複数のメモリセル140に接続される、複数の演算データ出力線DAL、DBLおよび複数の参照データ入力線RDL、/RDLとの接続を確保する。これにより、I/Oバッファ134cおよびカラム・アドレス・デコーダ134aを介して、当該カラム方向の所定の複数のメモリセル140に参照データを入力し、また当該カラム方向の所定の複数のメモリセル140からの演算データを演算補助セル134dに供給することが可能となる。

【0054】また、参照データ用ロウ・アドレス・デコーダ135には、アドレス・バッファ135aを介してロウ・アドレスが入力される。ロウ・アドレス・デコーダ135は、アドレス・バッファ135aを介して供給されるロウ・アドレスに対応して、メモリ・セル・アレイ131のロウ方向の所定のメモリセル140に接続されるセル選択線WLFにセル選択信号を供給して活性化する。これにより、I/Oバッファ134cおよびカラム・アドレス・デコーダ134aを通じて、当該ロウ方向の所定のメモリセル140に参照データを入力し、さらにはカラム・アドレス・デコーダ134aおよびI/Oバッファ134cを通じて当該ロウ方向の所定のメモリセル140からの演算データを演算補助セル134dに供給することが可能となる。

【0055】また、制御回路136は、メモリブロック125の上述した各回路の動作を、制御入力に基づいて制御する。なお、後述するが、メモリ・セル・アレイ131にマトリックス状に配された複数のメモリセル140の領域はセル選択線WLFに沿う方向に分割された複数の分割領域からなり、複数のセル選択線WLFは、それぞれ複数の分割領域に対応して分割された複数の分割セル選択線からなっており、メモリ・セル・アレイ131には、各分割領域で同時に活性化される分割セル線を切り換えるための切り換え機構が配されている。この切り換え機構の制御も、制御回路136によって行われる。

【0056】図11は、メモリブロック125（125a～125d）の他の構成例を示している。この図11において、図9と対応する部分には同一符号を付して示

している。この図11に示すメモリブロック125の構成では、図9に示すメモリブロック125の構成に対して、参照データ入力線RDL、/RDL、演算データ出力線DAL、DBL、セル選択線WLFの方向が異なっている。

【0057】メモリブロック125は、複数のメモリセルがマトリクス状に配されたメモリ・セル・アレイ131と、記憶データ入出力用ポート（カラム・アドレス・デコーダなどを含む）132と、記憶データ用ロウ・アドレス・デコーダ133と、参照データ入力用ポート & 演算補助セル（カラム・アドレス・デコーダなどを含む）134と、参照データ用ロウ・アドレス・デコーダ135とを有している。

【0058】メモリ・セル・アレイ131は、ロウ方向に延びるデータを転送するための複数のビット線BL、/BLと、カラム方向に延びる、複数のビット線BL、/BLに直交する複数のワード線WLと、複数のビット線BL、/BLに直交する、参照データを入力するための参照データ入力線RDL、/RDLと、複数のビット線BL、/BLに直交する、演算データを出力するためのDAL、DBLと、ワード線WLに直交する、セル選択信号を入力するためのセル選択線WLFと、これらビット線BL、/BL、ワード線WL、参照データ入力線RDL、/RDL、演算データ出力線DAL、DBLおよびセル選択線WLFに接続され、マトリクス状に配された複数のメモリセル140とからなっている。

【0059】図12は、図11に示したメモリブロック125のメモリ・セル・アレイ131以外の部分の構成を詳細に示したものである。この図12において、図10と対応する部分には同一符号を付して示している。

【0060】記憶データ用カラム・アドレス・デコーダ132a、アドレスバッファ132bおよびI/Oバッファ132cは、図11における記憶データ入出力用ポート132を構成している。カラム・アドレス・デコーダ132aには、I/Oゲート（カラム・スイッチ）やセンスアンプ等が含まれている。カラム・アドレス・デコーダ132aには、アドレス・バッファ132bを介してカラム・アドレスが入力される。

【0061】カラム・アドレス・デコーダ132aは、アドレス・バッファ132bを介して供給されるカラム・アドレスに対応して、メモリ・セル・アレイ131のカラム方向の所定の複数のメモリセル140に接続される複数のビット線BL、/BLとの接続を確保し、I/Oバッファ132cおよびカラム・アドレス・デコーダ132aを通じて、当該カラム方向の所定のメモリセルに対する、記憶データの書き込み、読み出しが可能となるようにする。

【0062】また、記憶データ用ロウ・アドレス・デコーダ133には、アドレス・バッファ133aを介してロウ・アドレスが入力される。ロウ・アドレス・デコー

ダ133は、アドレス・バッファ133aを介して供給されるロウ・アドレスに対応して、メモリ・セル・アレイ131のロウ方向の所定のメモリセル140に接続されるワード線WLを活性化し、I/Oバッファ132cおよびカラム・アドレス・デコーダ132aを通じて、当該ロウ方向の所定のメモリセル140に対する、記憶データの書き込み、読み出しが可能となるようにする。

【0063】また、参照データ用カラム・アドレス・デコーダ134a、アドレス・バッファ134b、I/Oバッファ134cおよび演算補助セル134dは、図11における参照データ入力用ポート&演算補助セル134を構成している。カラム・アドレス・デコーダ134aには、I/Oゲート（カラム・スイッチ）やセンスアンプ等が含まれている。カラム・アドレス・デコーダ134aには、アドレス・バッファ134bを介してカラム・アドレスが入力される。

【0064】カラム・アドレス・デコーダ134aは、アドレス・バッファ134bを介して供給されるカラム・アドレスに対応して、メモリ・セル・アレイ131のロウ方向の所定の複数のメモリセル140に接続される、複数の演算データ出力線DAL、DBLおよび複数の参照データ入力線RDL、/RDLとの接続を確保する。これにより、I/Oバッファ134cおよびカラム・アドレス・デコーダ134aを介して、当該ロウ方向の所定の複数のメモリセル140に参照データを入力し、また当該ロウ方向の所定の複数のメモリセル140からの演算データを演算補助セル134dに供給することが可能となる。

【0065】また、参照データ用ロウ・アドレス・デコーダ135には、アドレス・バッファ135aを介してロウ・アドレスが入力される。ロウ・アドレス・デコーダ135は、アドレス・バッファ135aを介して供給されるロウ・アドレスに対応して、メモリ・セル・アレイ131のカラム方向の所定のメモリセル140に接続されるセル選択線WLFにセル選択信号を供給して活性化する。これにより、I/Oバッファ134cおよびカラム・アドレス・デコーダ134aを通じて、当該カラム方向の所定のメモリセル140に参照データを入力し、さらにはカラム・アドレス・デコーダ134aおよびI/Oバッファ134cを通じて当該カラム方向の所定のメモリセル140からの演算データを演算補助セル134dに供給することが可能となる。

【0066】また、制御回路136は、メモリブロック125の上述した各回路の動作を、制御入力に基づいて制御する。なお、後述するが、メモリ・セル・アレイ131にマトリクス状に配された複数のメモリセル140の領域はセル選択線WLFに沿う方向に分割された複数の分割領域からなり、複数のセル選択線WLFは、それぞれ複数の分割領域に対応して分割された複数の分割セル選択線からなっており、メモリ・セル・アレイ13

1には、各分割領域で同時に活性化される分割セル線を切り換えるための切り換え機構が配されている。この切り換え機構の制御も、制御回路136によって行われる。

【0067】次に、メモリセル140について説明する。まず、従来周知のSRAM(Static Random Access Memory)セルおよびDRAM(Dynamic Random Access Memory)セルを説明する。図13は、SRAMセルの一例の構成を示している。負荷素子であるP型MOSトランジスタQ1とN型MOSトランジスタQ3とが電源と接地との間に直列に接続されてCMOSインバータ11が形成されていると共に、負荷素子であるP型MOSトランジスタQ2とN型MOSトランジスタQ4とが電源と接地との間に直列に接続されてCMOSインバータ12が形成されている。そして、これらCMOSインバータ11、12の各出力、すなわち記憶ノードN1、N2の各電位が互いに他のCMOSインバータ12、11の入力、すなわちN型MOSトランジスタQ4、Q3の各ゲート入力となっている。

【0068】CMOSインバータ11の記憶ノードN1は、ワード線WLにゲートが接続されたアクセストランジスタQ5を介してビット線BLに接続されている。一方、CMOSインバータ12の記憶ノードN2は、ワード線WLにゲートが接続されたアクセストランジスタQ6を介してビット線/BLに接続されている。

【0069】このような構成のSRAMセルにおいて、一対のCMOSインバータ11、12で構成されるメモリセル部13に“1”または“0”のデータが記憶される。そして、このメモリセル部13とビット線BL、/BLとの間で、アクセストランジスタQ5、Q6を介して、読み出しおよび書き込みのデータ転送が行われる。

【0070】図14は、DRAMセルの一例の構成を示している。キャパシタC1、C2が直列に接続され、互いの中点Pには $V_{cc}/2$ (V_{cc} は電源電圧)が与えられている。キャパシタC1の中点Pとは反対側が記憶ノードN1とされ、この記憶ノードN1はワード線WLにゲートが接続されたアクセストランジスタQ7を介してビット線BLに接続されている。また、キャパシタC2の中点Pとは反対側が記憶ノードN2とされ、この記憶ノードN2はワード線WLにゲートが接続されたアクセストランジスタQ8を介してビット線/BLに接続されている。

【0071】このような構成のDRAMセルにおいて、一対のキャパシタC1、C2で構成されるメモリセル部14に“1”または“0”のデータが記憶される。そして、このメモリセル部14とビット線BL、/BLとの間で、アクセストランジスタQ7、Q8を介して、読み出しおよび書き込みのデータ転送が行われる。

【0072】図15は、本実施の形態におけるメモリセル140の構成を示している。メモリセル部141の記

憶ノードN1はワード線WLにゲートが接続されたアクセストランジスタQ11を介してビット線BLに接続されている。一方、メモリセル部141の記憶ノードN2はワード線WLにゲートが接続されたアクセストランジスタQ12を介してビット線/BLに接続されている。

【0073】ここで、メモリセル部141は、メモリセル140がSRAMセルをベースとするものでは例えば図13に示すSRAMセルのメモリセル部13と同様に構成され、メモリセル140がDRAMセルをベースとするものであるときは例えば図14に示すDRAMセルのメモリセル部14と同様に構成される。

【0074】この場合、メモリセル部141に“1”または“0”のデータが記憶される。そして、このメモリセル部141とビット線BL、/BLとの間で、アクセストランジスタQ11、Q12を介して、読み出しおよび書き込みのデータ転送が行われる。すなわち、メモリセル部141からの記憶データの読み出し、このメモリセル部141への記憶データの書き込みについては、図13、図14に示すメモリセルと同様に行われる。

【0075】また、メモリセル部141の記憶ノードN1、N2にそれぞれゲートが接続されたN型MOSトランジスタQ13、Q14の互いのドレインが接続され、MOSトランジスタQ13のソースは参照データRDが入力される入力端子142aに接続され、MOSトランジスタQ14のソースは接地されている。また、メモリセル部141の記憶ノードN1、N2にそれぞれゲートが接続されたN型MOSトランジスタQ15、Q16の互いのドレインが接続され、MOSトランジスタQ15のソースは入力端子142aに接続され、MOSトランジスタQ16のソースは参照データ/RD (/RDはRDバーを表しており、RDが反転されたものである)が入力される入力端子142bに接続されている。

【0076】入力端子142aは上述した参照データ入力線RDLに接続され、この参照データ入力線RDLを通じて参照データRDが入力される。一方、入力端子142bは上述した参照データ入力線/RDLに接続され、この参照データ入力線/RDLを通じて参照データ/RDが入力される。

【0077】ここで、MOSトランジスタQ13～Q18により、メモリセル部141に記憶されている記憶データと参照データRDとの排他的論理和の反転($E \times N$ OR)および論理積(AND)を得る演算機能部が構成されている。そして、MOSトランジスタQ15、Q16の接続点Paには $E \times N$ OR出力が得られ、MOSトランジスタQ13、Q14の接続点PbにはAND出力が得られる。

【0078】また、N型MOSトランジスタQ17のドレインはMOSトランジスタQ15、Q16の接続点Paに接続され、このMOSトランジスタQ17のソースは演算データDAを出力するための出力端子143に接

10

20

30

40

50

続される。また、N型MOSトランジスタQ18のドレインはMOSトランジスタQ13、Q14の接続点Pbに接続され、このMOSトランジスタQ18のソースは演算データDBを出力するための出力端子144に接続される。そして、これらMOSトランジスタQ17、Q18のゲートはセル選択信号CSが入力される入力端子145に接続されている。

【0079】出力端子143は上述した演算データ出力線DALに接続され、この演算データ出力線DALに演算データDAが供給される。一方、出力端子143は上述した演算データ出力線DBLに接続され、この演算データ出力線DBLに演算データDBが供給される。さらに、入力端子145は上述したセル選択線WLFに接続され、このセル選択線WLFを通じてセル選択信号CSが入力される。

【0080】ここで、MOSトランジスタQ17、Q18は出力制御部としてのトランスファージゲートを構成しており、入力端子145に“1”のセル選択信号CSが供給されるとき、導通する。そしてこの場合、接続点Paに得られているExNOR出力がMOSトランジスタQ17を通じて演算データDAとして出力端子143に出力される。同様に、接続点Pbに得られているAND出力がMOSトランジスタQ18を通じて演算データDBとして出力端子144に出力される。

【0081】このように、メモリセル部141の記憶データと参照データRDとの演算および演算データDA、DBの出力は、記憶データの書き込みや読み出しとは独立に行うことができ、この記憶データに影響を及ぼすことはない。

【0082】上述したメモリセルブロック125を構成するメモリセル140としては図15に示す構成のものが用いられるが、同様の演算機能部を備えるその他のメモリセルも同様に構成可能である。図16～図18は他のメモリセルの一例を示している。これら図16～図18において、図15と対応する部分には同一符号を付して示している。

【0083】図16に示すメモリセルは、ExNOR演算に係る演算機能部および出力制御部を有するものである。図17に示すメモリセルは、AND演算に係る演算機能部および出力制御部を有するものである。図18に示すメモリセルは、論理和の反転(NOR)の演算に係る演算機能部および出力制御部を有するものである。

【0084】メモリセル部141の記憶ノードN1、N2にそれぞれゲートが接続されたN型MOSトランジスタQ19、Q20の互いのドレインが接続され、MOSトランジスタQ19のソースは接地され、MOSトランジスタQ20のソースは参照データ/RDが入力される入力端子142bに接続されている。MOSトランジスタQ19、Q20により、メモリセル部141に記憶されている記憶データと参照データRDとの論理和の反転

(NOR)を得る演算機能部が構成されており、MOSトランジスタQ19、Q20の接続点PbにはNOR出力が得られる。

【0085】また、N型MOSトランジスタQ21のドレインはMOSトランジスタQ19、Q20の接続点Pcに接続され、このMOSトランジスタQ21のソースは演算データDCを出力するための出力端子146に接続される。そして、MOSトランジスタQ21のゲートはセル選択信号CSが入力される入力端子145に接続されている。MOSトランジスタQ21は出力制御部としてのトランスファージゲートを構成しており、入力端子145に“1”のセル選択信号CSが供給されるとき、導通する。そしてこの場合、接続点Pcに得られているNOR出力がMOSトランジスタQ21を通じて演算データDCとして出力端子146に出力される。

【0086】次に、上述のメモリブロック125を構成する演算補助セル134dを説明する。本実施の形態では、演算補助セル134dの部分に、図19に示す加算、減算用の演算補助セル150と、図20に示す差分絶対値演算用の演算補助セル170とが、それぞれ複数個使用される。

【0087】メモリ・セル・アレイ131にマトリクス状に配された複数のメモリセル140のうち、アドレス・バッファ135aに入力されるロウ・アドレスおよびアドレス・バッファ134bに入力されるカラム・アドレスによって(図10、図12参照)、候補ブロックを構成する複数の画素データをビット毎に記憶している $m \times n$ 個のメモリセル140が同時に選択される。 m は候補ブロックを構成する画素データの個数を示し、 n は画素データのビット数を示している。演算補助セル134dには、この $m \times n$ 個のメモリセル140の各出力端子143、144に出力される演算データDA、DBが、 $m \times n$ 対の演算データ出力線DAL、DBLをそれぞれ介して同時に供給される。

【0088】まず、演算補助セル150について説明する。演算補助セル134dの部分には、上述した $m \times n$ 個のメモリセル140にそれぞれ対応して $m \times n$ 個の演算補助セル150が設けられる。図19は、候補ブロックの所定の画素データの i 番目のビットデータに対応する演算補助セル150を示している。ここで、 $i = 0, 1, \dots, n-1$ であり、0番目のビットデータはLSB(Least Significant Bit)であり、 $n-1$ 番目のビットデータはMSB(Most Significant Bit)である。

【0089】図19において、N型MOSトランジスタQ31、Q32の互いのドレインが接続されている。また、N型MOSトランジスタQ33、Q34の互いのドレインが接続されており、MOSトランジスタQ34のソースは接地されている。対応するメモリセル140からの演算データDA(ExNOR出力)が演算データDA i として入力される入力端子151はインバータIN

1, IN2の直列回路を介してMOSトランジスタQ32, Q34のそれぞれのゲートに接続されると共に、インバータIN1, IN2の接続点はMOSトランジスタQ31, Q33のそれぞれのゲートに接続されている。

【0090】また、下位からのキャリ出力/Ci-1 (/Ci-1はCi-1バーを表しており、キャリ出力Ci-1が反転されたものである)が入力される入力端子152は、MOSトランジスタQ32のソースに接続されると共に、インバータIN3を介して、MOSトランジスタQ31, Q33のそれぞれのソースに接続されている。

【0091】また、対応するメモリセル140からの演算データDB (AND出力)が演算データDBiとして入力される入力端子153はNORゲート154の入力側に接続されている。また、MOSトランジスタQ33, Q34の接続点がNORゲート154の入力側に接続されている。そして、このNORゲート154の出力側は上位へのキャリ出力/Ci (/CiはCiバーを表しており、キャリ出力Ciが反転されたものである)が出力される出力端子155に接続される。また、MOSトラ*

$$S_i = X_i \oplus \overline{Y_i} \oplus C_{i-1} \quad \dots (1)$$

$$C_i = X_i \cdot \overline{Y_i} + (X_i \oplus \overline{Y_i}) \cdot C_{i-1} \quad \dots (2)$$

ただし、「 \oplus 」：排他的論理和演算

「 \cdot 」：論理積演算

「+」：論理和演算

【0094】なお、本実施の形態では、上述した減算値出力を使用するものであるが、メモリセル140の参照データRDとしてYiを供給し、Ci-1=0とすること

で、演算出力Siおよびキャリ出力Ciは、それぞれ ※ 【0095】

$$S_i = X_i \oplus Y_i \oplus C_{i-1} \quad \dots (3)$$

$$C_i = X_i \cdot Y_i + (X_i \oplus Y_i) \cdot C_{i-1} \quad \dots (4)$$

ただし、「 \oplus 」：排他的論理和演算

「 \cdot 」：論理積演算

「+」：論理和演算

【0096】次に、演算補助セル170について説明する。メモリブロック125の演算補助セル134dの部分には、上述したように候補ブロックおよび参照ブロックの対応する画素データの減算値出力を得るためのn個の演算補助セル150毎に、演算補助セル170が設けられる。すなわち、演算補助セル134dの部分には、候補ブロックを構成する画素データの個数と等しいm個の演算補助セル170が設けられる。図20は、m個の演算補助セル170のうちk番目(k=0, 1, ...

トランジスタQ31, Q32の接続点はインバータIN4を介して、演算データSiが出力される出力端子156に接続されている。

【0092】ここで、候補ブロックの所定の画素データ(nビット)に対応するn個の演算補助セル150により、当該候補ブロックの所定の画素データと対応する参照ブロックの画素データとの減算値出力が得られる。すなわち、候補ブロックの所定の画素データをXi(i=0, 1, ..., n-1)、対応する参照ブロックの画素データをYi(i=0, 1, ..., n-1)とそれぞれ表し、上述したメモリセル140の参照データRDとしてYi (/YiはYiバーを表しており、Yiが反転されたものである)を供給し、Ci-1=1とすることで、演算出力Siおよびキャリ出力Ciは、それぞれ(1)式、(2)式のように得られ、減算値出力が得られる。この減算値出力は、キャリ出力Cn-1が正負の符号を示すオフセットバイナリで得られる。

【0093】

【数1】

$$\dots (1)$$

$$\dots (2)$$

※ (3)式、(4)式のように得られ、加算値出力を得ることができる。

【0095】

※ 【数2】

$$\dots (3)$$

$$\dots (4)$$

..., m-1)の演算補助セル170を示している。

【0097】図20において、n個の演算補助セル150の演算出力Si(i=0, 1, ..., n-1)がそれぞれ入力される入力端子1710, 1711, ..., 171n-1は、それぞれイクスクルーシブORゲート(ExORゲート)1710, 1711, ..., 171n-1に入力側に接続される。

【0098】また、n-1番目の演算補助セル150のキャリ出力/Cn-1が入力される入力端子173は、Ex

ORゲート171₀, 171₁, ..., 171_{n-1}に共通に接続される。そして、このEXORゲート171₀, 171₁, ..., 171_{n-1}の出力側はそれぞれnビット全加算器174の、入力端子a₀, a₁, ..., a_{n-1}に接続される。

【0099】また、nビット全加算器174の入力端子b₀は上述の入力端子173に接続されると共に、このnビット全加算器174のb₁, ..., b_{n-1}は接地される。そして、このnビット全加算器174の出力端子o₀, o₁, ..., o_{n-1}は、それぞれ差分絶対値Dk (Dk₀~Dk_{n-1})を出力する出力端子175₀, 175₁, ..., 175_{n-1}に接続される。

【0100】図20に示す演算補助セル170においては、C_{n-1}が1で演算出力Si(i=0,1,...,n-1)が正であるときは、この演算出力Si(i=0,1,...,n-1)がそのまま差分絶対値Dk(i=0,1,...,n-1)として得られ、一方C_{n-1}が0で演算出力Si(i=0,1,...,n-1)が負であるときは、この演算出力Si(i=0,1,...,n-1)の全てのビットがEXORゲート171₀, 171₁, ..., 171_{n-1}で反転され、その後nビット全加算器174でLSBに1が加算されて演算出力Si(i=0,1,...,n-1)の絶対値が算出され、これが差分絶対値Dk(i=0,1,...,n-1)として得られる。

【0101】図21は、候補ブロックを構成するk番目の画素データに対応する差分絶対値Dk(i=0,1,...,n-1)を得るための演算補助セル134dの一部構成を示しており、n個の演算補助セル150と、1個の演算補助セル170で構成される。演算補助セル134dの部分には、この図21に示す構成が、候補ブロックを構成する画素データの個数と等しいm個だけ存在することになる。

【0102】上述したように、メモリ・セル・アレイ131にマトリックス状に配された複数のメモリセル140のうち、アドレス・バッファ135aに入力されるロウ・アドレスおよびアドレス・バッファ134bに入力されるカラム・アドレスによって、候補ブロックを構成するm個の画素データをビット毎に記憶しているm×n個のメモリセル140が同時に選択されることで、演算補助セル134dではm個の画素データに対応する減算や差分絶対演算を同時並行的に行うことができる。

【0103】以下、このように、候補ブロックを構成するm個の画素データをビット毎に記憶しているm×n個のメモリセル140を同時に選択可能とするための構成について説明する。

【0104】図22Aは、探索フレームメモリ124を構成する1つのメモリブロック125に記憶される画素データを模式的に示したものである。説明を簡単にするため、1つのメモリブロック125に記憶される画素データは、水平方向に15画素、垂直方向に10ラインの画素データであり、各画素データは1ビットデータであ

るとする。

【0105】図22Bは、各画素データのメモリ・セル・アレイ131内の記憶位置を示している。ここでは、昇目のそれぞれがメモリセル140に対応している。メモリ・セル・アレイ131は、参照データのカラム方向(図10のメモリブロック125の構成では、記憶データのカラム方向と同じ、図12のメモリブロック125の構成では、記憶データのロウ方向と同じ)に50個のメモリセル140が並べられた構成となっている。そして、メモリ・セル・アレイ131内の複数のメモリセル140は、カラム方向に分割され、5つの分割領域131a~131eが形成されている。

【0106】ここで、分割領域131aの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「00」~「90」、「05」~「95」および「0a」~「9a」が記憶される。また、分割領域131bの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「01」~「91」、「06」~「96」および「0b」~「9b」が記憶される。また、分割領域131cの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「02」~「92」、「07」~「97」および「0c」~「9c」が記憶される。

【0107】また、分割領域131dの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「03」~「93」、「08」~「98」および「0d」~「9d」が記憶される。さらに、分割領域131eの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「04」~「94」、「09」~「99」および「0e」~「9e」が記憶される。

【0108】上述した複数のセル選択線WLF(図9、図11参照)は、それぞれ各分割領域131a~131eに対応して分割された5本の分割セル選択線WLFa~WLF e(図22Bには図示せず)からなっている。そして、メモリ・セル・アレイ131には、各分割領域131a~131eで同時に活性化される分割セル選択線を切り換えるための切り換え機構が配されている。例えば、図22Bに示すように、各分割領域131a~131eの間に切り換え機構180が配されている。

【0109】図23は、切り換え機構180の構成例を示している。この切り換え機構180はN型MOSトランジスタとP型MOSトランジスタとが並列接続されるCMOSトランスファゲートが使用されて構成される。この切り換え機構180は、同一行の分割セル選択線の間に配され、それらを接続するためのトランスフ

ァーゲートTG1と、隣接行の分割セル選択線の間に配され、それらを接続するためのトランスファァーゲートTG2とからなっている。

【0110】そして、トランスファァーゲートTG1のN型MOSトランジスタのゲートおよびトランスファァーゲートTG2のP型MOSトランジスタのゲートには切り換え制御信号 ϕ が供給され、トランスファァーゲートTG1のP型MOSトランジスタのゲートおよびトランスファァーゲートTG2のN型MOSトランジスタのゲートには切り換え制御信号 ϕ (ϕ は ϕ バーを表し、切り換え制御信号 ϕ が反転されたものである)が供給される。なお、各分割領域131a~131eの間に配される切り換え機構180には、それぞれ独立して切り換え制御信号 ϕ 、 ϕ が供給される。

【0111】切り換え機構180の動作を説明する。 $\phi=1$ で、 $\phi=0$ であるとき、トランスファァーゲートTG1が導通し、同一行の分割セル選択線同士が接続される状態となる。一方、 $\phi=0$ で、 $\phi=1$ であるとき、トランスファァーゲートTG2が導通し、隣接行の分割セル選択線同士が接続される状態となる。

【0112】メモリ・セル・アレイ131の各分割領域131a~131eの間に、上述したような切り換え機構180が配されていることから、任意の候補ブロックを構成する全画素データをビット毎に記憶している複数のメモリセル140を同時に選択できる。

【0113】例えば、図22Aにハッチングをして示した範囲の候補ブロックに対しては、切り換え機構180によって図22Bに破線で示すように接続された各分割領域131a~131eの分割セル選択線WLFa~WLF eに、参照データ用ロウ・アドレス・デコーダ135 (図10、図12参照) から“1”のセル選択信号を供給して活性化すると共に、参照データ用カラム・アドレス・デコーダ134a (図10、図12参照) の1/Oゲート (カラム・スイッチ) により、図22Bでハッチングをして示したメモリセル140を選択すればよい。

【0114】また例えば、図24Aにハッチングをして示した範囲の候補ブロックに対しては、切り換え機構180により図24Bに破線で示すように接続された各分割領域131a~131eの分割セル選択線WLFa~WLF eに、参照データ用ロウ・アドレス・デコーダ135から“1”のセル選択信号を供給して活性化すると共に、参照データ用カラム・アドレス・デコーダ134aの1/Oゲート (カラム・スイッチ) により、図24Bでハッチングをして示したメモリセル140を選択すればよい。

【0115】このように、1/Oゲート (カラム・スイッチ) によるメモリセル140の選択により、矩形または十字形等の任意の形状の候補ブロックに対処することができる。また、1つの分割セル選択線に対応する複数

のメモリセル140に、画像データを構成する垂直方向の1列分の画素データを記憶しているの、切り換え機構180と1/Oゲート (カラム・スイッチ) の共働により、候補ブロックの位置を水平、垂直の双方向に1画素端子で動かすことができる。

【0116】なお、上述では説明を簡単にするため各画素データは1ビットデータであるとして説明したが、各画素データがnビットデータ (例えばn=8) である場合には、各画素データを記憶するためにn個のメモリセル140が必要となり、それらn個のメモリセル140は例えばカラム方向に連続して配される。

【0117】また、上述した図22B、図24Bの例では、各分割セル選択線WLFa~WLF eにそれぞれ対応した複数のメモリセル140にそれぞれ垂直方向の1列分の画素データが記憶されるものを示したが、各分割セル選択線WLFa~WLF eにそれぞれ対応した複数のメモリセル140にそれぞれ水平方向の1列分の画素データが記憶されるようにしてもよい。

【0118】また、各分割セル選択線WLFa~WLF eにそれぞれ対応した複数のメモリセル140に、それぞれ画像データを構成する水平方向または垂直方向のm列分 (mは2以上の整数) の画素データが記憶されるようにしてもよい。この場合、候補ブロックの位置は、水平方向のm列分の画素データが記憶される場合には垂直方向にはm画素単位で移動でき、また、垂直方向のm列分の画素データが記憶される場合には水平方向にはm画素単位で移動可能となる。

【0119】図25Aは、探索フレームメモリ124を構成する1つのメモリブロック125に記憶される画素データを模式的に示したものである。説明を簡単にするため、1つのメモリブロック125に記憶される画素データは、水平方向に10画素、垂直方向に10ラインの画素データであり、各画素データは1ビットデータであるとする。

【0120】図25Bは、各画素データのメモリ・セル・アレイ131内の記憶位置を示している。ここでは、昇目のそれぞれがメモリセル140に対応している。メモリ・セル・アレイ131は、参照データのカラム方向 (図10のメモリブロック125の構成では、記憶データのカラム方向と同じ、図12のメモリブロック125の構成では、記憶データのロウ方向と同じ) に50個のメモリセル140が並べられた構成となっている。そして、メモリ・セル・アレイ131内の複数のメモリセル140は、カラム方向に分割され、5つの分割領域131a~131eが形成されている。

【0121】ここで、分割領域131aの連続する第1の行および第2の行のそれぞれの10個のメモリセルには、それぞれ水平方向の1列分の画素データ「00」~「09」および「50」~「59」が記憶される。また、分割領域131bの連続する第1の行および第2の

行のそれぞれの10個のメモリセルには、それぞれ水平方向の1列分の画素データ「10」～「19」および「60」～「69」が記憶される。また、分割領域131cの連続する第1の行および第2の行のそれぞれの10個のメモリセルには、それぞれ水平方向の1列分の画素データ「20」～「29」および「70」～「79」が記憶される。

【0122】また、分割領域131dの連続する第1の行および第2の行のそれぞれの10個のメモリセルには、それぞれ水平方向の1列分の画素データ「30」～「39」および「80」～「89」が記憶される。さらに、分割領域131eの連続する第1の行および第2の行のそれぞれの10個のメモリセルには、それぞれ水平方向の1列分の画素データ「40」～「49」および「90」～「99」が記憶される。

【0123】上述した複数のセル選択線WLF（図9、図11参照）は、それぞれ各分割領域131a～131eに対応して分割された5本の分割セル選択線WLFa～WLF e（図25Bには図示せず）からなっている。そして、メモリ・セル・アレイ131には、各分割領域131a～131eで同時に活性化される分割セル選択線を切り換えるための切り換え機構180（図23参照）が配されている。

【0124】このように、各分割セル選択線WLFa～WLF eにそれぞれ対応した複数のメモリセル140にそれぞれ水平方向の1列分の画素データが記憶されるものにあっても、メモリ・セル・アレイ131の各分割領域131a～131eの間に切り換え機構180が配されていることから、任意の候補ブロックを構成する全画素データをビット毎に記憶している複数のメモリセル140を同時に選択できる。

【0125】例えば、図25Aにハッチングをして示した範囲の候補ブロックに対しては、切り換え機構180によって図25Bに破線で示すように接続された各分割領域131a～131eの分割セル選択線WLFa～WLF eに、参照データ用ロウ・アドレス・デコーダ135（図10、図12参照）から“1”のセル選択信号を供給して活性化すると共に、参照データ用カラム・アドレス・デコーダ134a（図10、図12参照）のI/Oゲート（カラム・スイッチ）により、図25Bでハッチングをして示したメモリセル140を選択すればよい。

【0126】また例えば、図26Aにハッチングをして示した範囲の候補ブロックに対しては、切り換え機構180により図26Bに破線で示すように接続された各分割領域131a～131eの分割セル選択線WLFa～WLF eに、参照データ用ロウ・アドレス・デコーダ135から“1”のセル選択信号を供給すると共に、参照データ用カラム・アドレス・デコーダ134aのI/Oゲート（カラム・スイッチ）により、図26Bでハッチ

ングをして示したメモリセル140を選択すればよい。

【0127】また、上述では、メモリ・セル・アレイ131の各分割領域131a～131eで同時に活性化される分割セル選択線を切り換えるために、各分割領域131a～131eの間に切り換え機構180（図23参照）が配されるものを示したが、この切り換え機構は他の構成であってもよい。

【0128】図27は、切り換え機構の他の構成例を示している。この切り換え機構180Aは、各分割領域131a～131eに対応して配される。図27には、分割領域131b、131cの部分のみ示している。

【0129】この切り換え機構180Aを使用する場合、各セル選択線WLF（分割セル選択線WLFa～WLF eで構成される）に平行する、セル選択信号を入力するためのグローバル選択線/GWL（/GWLはGWLバーを表し、セル選択信号として“0”が入力される）が必要となる。

【0130】切り換え機構180Aは、ノアゲートおよびアンドゲートが使用されて構成される。すなわち、ロウ方向の奇数行に対しては、入力側がグローバル選択線/GWLに接続され、その出力側が対応する分割セル選択線に接続されるノアゲートNGが配され、一方ロウ方向の偶数行に対しては、入力側がグローバル選択線/GWLに接続され、その出力側が対応する分割セル選択線に接続されるオアゲートOGが配される。そして、ノアゲートNGおよびオアゲートOGの入力側には切り換え制御信号/ ϕ （/ ϕ は ϕ バーを表し、切り換え制御信号 ϕ が反転されたものである）が供給される。なお、各分割領域131a～131eに対応して配される切り換え機構180Aには、それぞれ独立して切り換え制御信号/ ϕ が供給される。

【0131】切り換え機構180Aを使用した、各分割領域131a～131eにおけるセル選択線の選択動作について説明する。例えば、図27において、分割領域131bでは第2の行の分割セル選択線WLFbを選択し、分割領域131cでは第1の行の分割セル選択線WLFcを選択するものとする。

【0132】この場合、第1、第2の行のグローバル選択線/GWL_i、/GWL_{i+1}にそれぞれセル選択信号として“0”が供給される。また、分割領域131bの切り換え機構180Aに供給される切り換え制御信号/ ϕ_j として“1”が供給される。これにより、第2の行のオアゲートOGの出力側には“1”が出力されるため、第2の行の分割セル選択線WLFbが活性化された状態となる。

【0133】一方、分割領域131cの切り換え機構180Aに供給される切り換え制御信号/ ϕ_j として“0”が供給される。これにより、第1の行のノアゲートNGの出力側には“1”が出力されるため、第1の行の分割セル選択線WLFcが活性化された状態となる。

【0134】このように、メモリ・セル・アレイ131の各分割領域131a~131eに対して、上述したような切り換え機構180Aが配される場合においても、各分割領域131a~131eの間に上述した切り換え機構180が配される場合と同様に、各分割領域131a~131eで同時に活性化される分割セル選択線の切り換えを行うことができ、任意の候補ブロックを構成する全画素データをビット毎に記憶している複数のメモリセル140を同時に選択できる。

【0135】また、この切り換え機構180Aを使用する場合、セル選択信号の伝送路にトランスファークゲートが配されるものではなく、切り換え機構180におけるように、複数のトランスファークゲートTG1、TG2が伝送路に配されるもののような、セル選択信号の伝送遅延を回避することができる。

【0136】図28は、切り換え機構のさらに他の構成例を示している。この切り換え機構180Bも、各分割領域131a~131eに対応して配される。図28には、分割領域131b、131cの部分のみ示している。

【0137】この切り換え機構180Bを使用する場合、各セル選択線WLF（分割セル選択線WLFa~WLF eで構成される）に平行する、セル選択信号を入力するためのグローバル選択線GWL（セル選択信号として“1”が入力される）が必要となる。

【0138】切り換え機構180Bは、CMOSトランスファークゲートが使用されて構成される。すなわち、ロウ方向の奇数行に対しては、グローバル選択線GWLと各分割セル選択線WLFa~WLF eとを接続するためのトランスファークゲートTG3が配され、一方ロウ方向の偶数行に対しては、グローバル選択線GWLと各分割セル選択線WLFa~WLF eとを接続するためのトランスファークゲートTG4が配される。

【0139】そして、トランスファークゲートTG3のN型MOSトランジスタのゲートおよびトランスファークゲートTG4のP型MOSトランジスタのゲートには切り換え制御信号φが供給され、トランスファークゲートTG3のP型MOSトランジスタのゲートおよびトランスファークゲートTG4のN型MOSトランジスタのゲートには切り換え制御信号φ（φはφバーを表し、切り換え制御信号φが反転されたものである）が供給される。なお、各分割領域131a~131eに対応して配される切り換え機構180Bには、それぞれ独立して切り換え制御信号φ、φが供給される。

【0140】切り換え機構180Bを使用した、各分割領域131a~131eにおけるセル選択線の選択動作について説明する。例えば、図28において、分割領域131bでは第2の行の分割セル選択線WLF bを選択し、分割領域131cでは第1の行の分割セル選択線WLF cを選択するものとする。

【0141】この場合、第1、第2の行のグローバル選択線GWL i、GWL i+1にそれぞれセル選択信号として“1”が供給される。また、分割領域131bの切り換え機構180Bに供給される切り換え制御信号φ、φとしてそれぞれ“0”、“1”が供給される。これにより、第2の行のトランスファークゲートTG4が導通し、グローバル選択線GWL i+1から分割セル選択線WLF cに“1”のセル選択信号が供給されるため、第2の行の分割セル選択線WLF bが活性化された状態となる。

【0142】一方、分割領域131cの切り換え機構180Bに供給される切り換え制御信号φ、φとして“1”、“0”が供給される。これにより、第1の行のトランスファークゲートTG3が導通し、グローバル選択線GWL iから分割セル選択線WLF cに“1”のセル選択信号が供給されるため、第1の行の分割セル選択線WLF cが活性化された状態となる。

【0143】このように、メモリ・セル・アレイ131の各分割領域131a~131eに対して、上述したような切り換え機構180Bが配される場合においても、各分割領域131a~131eの間に上述した切り換え機構180が配される場合と同様に各分割領域131a~131eで同時に活性化される分割セル選択線の切り換えを行うことができ、任意の候補ブロックを構成する全画素データをビット毎に記憶している複数のメモリセル140を同時に選択できる。

【0144】また、この切り換え機構180Bを使用する場合、セル選択信号の伝送路に配されるトランスファークゲートは1個だけとなるため、切り換え機構180におけるように、複数のトランスファークゲートTG1、TG2が伝送路に配されるものに比べて、セル選択信号の伝送遅延を軽減することができる。

【0145】次に、参照フレームの画像データを蓄積するフレームメモリ123（図6参照）を説明する。図29に示すように、フレームメモリ123も、上述したフレームメモリ124と同様に、例えば4個のメモリブロック191a~191dから構成されている。メモリブロック191a~191dには、それぞれ、データ入力部、データ出力部が備えられている。データ入力部より画像データDiが入力され、データ出力部から画像データDoが出力される。これら、メモリブロック191a、191b、191c、191dには、それぞれ、参照フレームの左上、右上、左下、右下の各部分の画素データが記憶される。

【0146】所定の参照ブロックの中心画素の範囲が、参照フレームの左上、右上、左下、右下の各部分にある場合には、それぞれメモリブロック191a、191b、191c、191dのみを活性化させればよく、消費電力を少なく抑えることができる。

【0147】この場合、メモリブロック191a~191dには、上述したフレームメモリ124のメモリブ

10

20

30

40

50

ック125a~125dと同様に、参照フレームの左上、右上、左下、右下の各部分の境界部に対応して、重複して画素データが記憶される。このように、メモリブロック191a~191dに重複した画素データを記憶しておくのは、中心画素が境界付近となる参照ブロックの画素データには、その境界部を越えた位置の画素データも必要となるからである。

【0148】図30は、メモリブロック191(191a~191d)の構成例を示している。メモリブロック191は、複数のメモリセルがマトリックス状に配されたメモリ・セル・アレイ201と、記憶データ入出力用ポート(カラム・アドレス・デコーダなどを含む)202と、記憶データ用ロウ・アドレス・デコーダ203とを有している。

【0149】メモリ・セル・アレイ201は、ロウ方向に延びるデータを転送するための複数のビット線BL、/BL(/BLはBLバーを表している)と、カラム方向に延びる、複数のビット線BL、/BLに直交する複数のワード線WLと、これらビット線BL、/BLおよびワード線WLに接続され、マトリックス状に配された複数のメモリセル210とからなっている。

【0150】図31は、図30に示したメモリブロック191のメモリ・セル・アレイ201以外の部分の構成を詳細に示したものである。

【0151】記憶データ用カラム・アドレス・デコーダ202a、アドレスバッファ202bおよびI/Oバッファ202cは、図30における記憶データ入出力用ポート202を構成している。カラム・アドレス・デコーダ202aには、I/Oゲート(カラム・スイッチ)やセンスアンプ等が含まれている。カラム・アドレス・デコーダ202aには、アドレス・バッファ202bを介してカラム・アドレスが入力される。

【0152】カラム・アドレス・デコーダ202aは、アドレス・バッファ202bを介して供給されるカラム・アドレスに対応して、メモリ・セル・アレイ201のカラム方向の所定の複数のメモリセル210に接続される複数のビット線BL、/BLとの接続を確保し、I/Oバッファ202cおよびカラム・アドレス・デコーダ202aを通じて、当該カラム方向の所定のメモリセルに対する、記憶データの書き込み、読み出しが可能となるようにする。

【0153】また、記憶データ用ロウ・アドレス・デコーダ203には、アドレス・バッファ203aを介してロウ・アドレスが入力される。ロウ・アドレス・デコーダ203は、アドレス・バッファ203aを介して供給されるロウ・アドレスに対応して、メモリ・セル・アレイ201のロウ方向の所定のメモリセル210に接続されるワード線WLを活性化し、I/Oバッファ202cおよびカラム・アドレス・デコーダ202aを通じて、当該ロウ方向の所定のメモリセル210に対する、記憶

データの書き込み、読み出しが可能となるようにする。

【0154】また、制御回路204は、メモリブロック191の上述した各回路の動作を、制御入力に基づいて制御する。なお、後述するが、メモリ・セル・アレイ201にマトリックス状に配された複数のメモリセルの領域はワード線WLに沿う方向(カラム方向)に分割された複数の分割領域からなり、複数のワード線WLは、それぞれ複数の分割領域に対応して分割された複数の分割ワード線からなっており、メモリ・セル・アレイ201には、各分割領域で同時に活性化される分割ワード線を切り換えるための切り換え機構が配されている。この切り換え機構の制御も、制御回路204によって行われる。

【0155】なお、メモリセル210は、上述したメモリブロック125のメモリセル140とは異なり、演算機能部を持っていない。詳細説明は省略するが、このメモリセル210は、例えば、上述の図13に示すSRAMセル、あるいは上述の図14に示すDRAMセルと同様の構成とされる。

【0156】メモリブロック191は、任意の参照ブロックを構成する全画素データをビット毎に記憶している複数のメモリセル210を同時に選択可能とされている。以下、そのための構成について説明する。

【0157】図32Aは、参照フレームメモリ123を構成する1つのメモリブロック191に記憶される画素データを模式的に示したものである。説明を簡単にするため、1つのメモリブロック191に記憶される画素データは、水平方向に15画素、垂直方向に10ラインの画素データであり、各画素データは1ビットデータであるとする。

【0158】図32Bは、各画素データのメモリ・セル・アレイ201内の記憶位置を示している。ここでは、昇目のそれぞれがメモリセル210に対応している。メモリ・セル・アレイ201は、カラム方向に50個のメモリセル210が並べられた構成となっている。そして、メモリ・セル・アレイ201内の複数のメモリセル210は、カラム方向に分割され、5つの分割領域201a~201eが形成されている。

【0159】ここで、分割領域201aの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「00」~「90」、「05」~「95」および「0a」~「9a」が記憶される。また、分割領域201bの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「01」~「91」、「06」~「96」および「0b」~「9b」が記憶される。また、分割領域201cの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「02」~「92」、

「07」～「97」および「0c」～「9c」が記憶される。

【0160】また、分割領域201dの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「03」～「93」、「08」～「98」および「0d」～「9d」が記憶される。さらに、分割領域201eの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「04」～「94」、「09」～「99」および「0e」～「9e」が記憶される。

【0161】上述した複数のワード線WL（図30参照）は、それぞれ各分割領域201a～201eに対応して分割された5本の分割ワード線WL a～WL e（図32Bには図示せず）からなっている。そして、メモリ・セル・アレイ201には、各分割領域201a～201eで同時に活性化される分割ワード線を切り換えるための切り換え機構が配されている。例えば、図32Bに示すように、各分割領域201a～201eの間に切り換え機構220が配されている。

【0162】図33は、切り換え機構220の構成例を示している。この切り換え機構220は、上述したメモリブロック125のメモリ・セル・アレイ131内に配された切り換え機構180（図23参照）と同様に構成されている。

【0163】この切り換え機構220は、N型MOSトランジスタとP型MOSトランジスタとが並列接続されてなるCMOSトランスファークロウが使用されて構成される。この切り換え機構220は、同一行の分割ワード線の間に配され、それらを接続するためのトランスファークロウTG1と、隣接行の分割ワード線の間に配され、それらを接続するためのトランスファークロウTG2とからなっている。

【0164】そして、トランスファークロウTG1のN型MOSトランジスタのゲートおよびトランスファークロウTG2のP型MOSトランジスタのゲートには切り換え制御信号 ϕ が供給され、トランスファークロウTG1のP型MOSトランジスタのゲートおよびトランスファークロウTG2のN型MOSトランジスタのゲートには切り換え制御信号 ϕ （ ϕ は ϕ バーを表し、切り換え制御信号 ϕ が反転されたものである）が供給される。なお、各分割領域201a～201eの間に配される切り換え機構220には、それぞれ独立して切り換え制御信号 ϕ 、 ϕ バーが供給される。

【0165】切り換え機構220の動作を説明する。 $\phi = 1$ で、 ϕ バー = 0であるとき、トランスファークロウTG1が導通し、同一行の分割ワード線同士が接続される状態となる。一方、 $\phi = 0$ で、 ϕ バー = 1であるとき、トランスファークロウTG2が導通し、隣接行の分割ワード線同士が接続される状態となる。

【0166】メモリ・セル・アレイ201の各分割領域201a～201eの間に、上述したような切り換え機構220が配されていることから、任意の参照ブロックを構成する全画素データをビット毎に記憶している複数のメモリセル210を同時に選択できる。これにより、参照フレームメモリ123から探索フレームメモリ124に、参照ブロックを構成する全画素データのビットデータを参照データとして同時に供給することが可能となる。

【0167】例えば、図32Aにハッチングをして示した範囲の候補ブロックに対しては、切り換え機構220によって図32Bに破線で示すように接続された各分割領域201a～201eの分割ワード線WL a～WL eに、記憶データ用ロウ・アドレス・デコーダ203（図31参照）から“1”の信号を供給して活性化すると共に、記憶データ用カラム・アドレス・デコーダ202a（図31参照）のI/Oゲート（カラム・スイッチ）により、図22Bでハッチングをして示したメモリセル210を選択すればよい。

【0168】このように、I/Oゲート（カラム・スイッチ）によるメモリセル210の選択により、矩形または十字形等の任意の形状の参照ブロックに対処することができる。また、1つの分割ワード線に対応する複数のメモリセル210に、画像データを構成する垂直方向の1列分の画素データを記憶しているので、切り換え機構220とI/Oゲート（カラム・スイッチ）の共働により、参照ブロックの位置を水平、垂直の双方向に1画素単位で動かすことができる。

【0169】なお、上述では説明を簡単にするため各画素データは1ビットデータであるとして説明したが、各画素データがnビットデータ（例えばn=8）である場合には、各画素データを記憶するためにn個のメモリセル210が必要となり、それらn個のメモリセル210は例えばカラム方向に連続して配される。

【0170】また、上述した図32Bの例では、各分割ワード線WL a～WL eにそれぞれ対応した複数のメモリセル210にそれぞれ垂直方向の1列分の画素データが記憶されるものを示したが、上述したメモリブロック125のメモリ・セル・アレイ131の場合と同様に、各分割ワード線WL a～WL eにそれぞれ対応した複数のメモリセル210にそれぞれ水平方向の1列分の画素データが記憶されるようにしてもよい。

【0171】また、各分割ワード線WL a～WL eにそれぞれ対応した複数のメモリセル210に、それぞれ画像データを構成する水平方向または垂直方向のm列分（mは2以上の整数）の画素データが記憶されるようにしてもよい。この場合、参照ブロックの位置は、水平方向のm列分の画素データが記憶されるときには垂直方向にはm画素単位で移動でき、また、垂直方向のm列分の画素データが記憶されるときには水平方向にはm画素単

位で移動可能となる。

【0172】また、上述では、メモリ・セル・アレイ201の各分割領域201a~201eで同時に活性化される分割ワード線を切り換えるために、各分割領域201a~201eの間に切り換え機構220(図33参照)が配されるものを示したが、この切り換え機構220の代わりに、上述したメモリブロック125のメモリ・セル・アレイ131の場合と同様に、図27に示す切り換え機構180A、あるいは図28に示す切り換え機構180Bと同様の構成を採用することもできる。ただしこの場合には、メモリ・セル・アレイ201は、各ワード線WL(分割ワード線WL a~WL eで構成される)に平行する、セル選択信号を入力するグローバルワード線を備えている必要がある。

【0173】なお、詳細説明は省略するが、上述したメモリブロック191の構成を、上述したメモリブロック125の記憶データ側にも採用してもよい。これにより、任意のブロックを構成する全画素データをビット毎に記憶している複数のメモリセル140を同時に選択して当該ブロックを構成する全画素データの同時読み出し、または同時書き込みを行うことが可能となる。

【0174】以上説明したように、本実施の形態においては、メモリブロック125を構成するメモリセル140に論理演算を行う演算機能部が含まれていると共に(図15参照)、このメモリブロック125に演算データを用いて数値演算を行うための演算補助セル134d(図10、図12参照)を有するものであり、幅の広いデータ・バスを用いて処理回路にデータを伝送することなく、高速かつ効率的に所望の演算処理を行わせることができる。

【0175】また、メモリブロック125において、記憶データの書き込み、読み出しは、複数のビット線BL、/BL、複数のワード線WLを用いて行われるのに対して、演算データD₀~D_{n-1}の出力は、複数の参照データ入力線RDL、/RDL、複数の演算データ出力線DAL、DBLおよび複数のセル選択線WLFを用いて行われるものであり(図9、図11参照)、記憶データの書き込み、読み出しと、演算データの出力とを独立して行うことができ、全体としてより柔軟で効率的な処理を行うことができる。

【0176】また、探索フレームメモリ124を構成するメモリブロック125において、メモリ・セル・アレイ131のマトリックス状に配された複数のメモリセル140の領域が、セル選択線WLFに沿う方向に分割された複数の分割領域131a~131eからなり、複数のセル選択線WLFが、それぞれ、複数の分割領域131a~131eに対応して分割された複数の分割セル選択線WLF a~WLF eからなり、各分割領域131a~131eで同時に活性化される分割セル選択線を切り換えるための切り換え機構180、180A、180B

が配されるものであり(図22、図23、図27、図28参照)、分割セル選択線単位で階段状に並ぶ複数のメモリセル140の演算データを複数の演算データ出力線DAL、DBLに出力して、演算補助セル134dで処理できる。

【0177】この場合、1つの分割セル選択線に対応する複数のメモリセル140に、画像データを構成する垂直方向または水平方向の整数列分(1列分またはm列分(mは2以上の整数))の画素データが記憶されるものであり、候補ブロックを構成する複数の画素データに対応した演算データを、同時に複数の演算データ出力線DAL、DBLに出力でき、これらを用いた数値演算を複数の演算補助セル150、170(図19、図20参照)で同時並行的に行うことができる。したがって、動きベクトルMVを求めるための所定の候補ブロックの複数の画素データに係る複数の差分絶対値D₀~D_{n-1}を同時に得ることができ、データ処理効率を大幅に向上できる。

【0178】また、メモリブロック125の参照データ用カラム・アドレス・デコーダ134aのI/Oゲート(カラム・スイッチ)によるメモリセル140の選択により、矩形または十字形等の任意の形状の候補ブロックに対処できる。また、1つの分割セル選択線に対応する複数のメモリセル140に、画像データを構成する垂直方向または水平方向の整数列分の画素データを記憶しているの、切り換え機構180(180A、180B)とI/Oゲート(カラム・スイッチ)の共働により、候補ブロックの位置を水平、垂直の双方向に容易に移動できる。

【0179】また、参照フレームメモリ123を構成するメモリブロック191において、メモリ・セル・アレイ201のマトリックス状に配された複数のメモリセル210の領域が、ワード線に沿う方向に分割された複数の分割領域201a~201eからなり、複数のワード線WLが、それぞれ、複数の分割領域201a~201eに対応して分割された複数の分割ワード線WL a~WL eからなり、各分割領域201a~201eで同時に選択される分割セル選択線を切り換えるための切り換え機構220が配されるものであり(図32、図33参照)、分割ワード線単位で階段状に並ぶ複数のメモリセル210を同時に選択できる。

【0180】この場合、1つの分割ワード線に対応する複数のメモリセル140に、画像データを構成する垂直方向または水平方向の整数列分(1列分またはm列分(mは2以上の整数))の画素データが記憶されるものであり、参照ブロックを構成する複数の画素データを同時に読み出すことができ、それを探索フレームメモリ124に同時に供給でき、処理の高速化を図ることができる。

【0181】また、メモリブロック191の記憶データ

用カラム・アドレス・デコーダ202aの1/0ゲート（カラム・スイッチ）によるメモリセル210の選択により、矩形または十字形等の任意の形状の参照ブロックに対処できる。また、1つの分割ワード線に対応する複数のメモリセル210に、画像データを構成する垂直方向または水平方向の整数列分の画素データを記憶しているので、切り換え機構220と1/0ゲート（カラム・スイッチ）の共働により、参照ブロックの位置を水平、垂直の双方向に容易に移動できる。

【0182】また、探索フレームメモリ124は、複数、例えば4個のメモリブロック125a~125dで構成され、これらには探索フレームの左上、右上、左下、右下の各部分の境界部に対応して重複した画素データが記憶されるものであり、所定の候補ブロックの中心画素の範囲が、探索フレームの左上、右上、左下、右下の各部分にある場合には、それぞれメモリブロック125a, 125b, 125c, 125dのみを活性化させればよく、消費電力を少なく抑えることができる。

【0183】また、参照フレームメモリ123は、複数、例えば4個のメモリブロック191a~191dで構成され、これらには参照フレームの左上、右上、左下、右下の各部分の境界部に対応して重複した画素データが記憶されるものであり、所定の参照ブロックの中心画素の範囲が、参照フレームの左上、右上、左下、右下の各部分にある場合には、それぞれメモリブロック191a, 191b, 191c, 191dのみを活性化させればよく、消費電力を少なく抑えることができる。

【0184】このように、探索フレームメモリ124、参照フレームメモリ123においては、それぞれ候補ブロックの画素データに係る演算データ、参照ブロックの画素データを得るために、いずれか1個のメモリブロックのみを活性化すればよく、従って他のメモリブロックに関しては他の処理のために使用することも可能となる。これにより、複雑な処理を効率よく行うことが可能となる。

【0185】また、上述した参照フレームメモリ123、探索フレームメモリ124を使用して構成される動きベクトル検出回路111および動き補償予測符号化装置100では、動きベクトルMVの検出のための処理の高速化、効率化を図ることができる。

【0186】なお、上述実施の形態において、探索フレームメモリ124はメモリブロック125a~125dからなり、これらのメモリブロック125a~125dからの差分絶対値 $D_0 \sim D_{n-1}$ をそのまま出力するものであるが、この探索フレームメモリ124に、これら差分絶対値 $D_0 \sim D_{n-1}$ を累積する回路、累積値を格納する回路、さらには累積値から動きベクトルMVを検出する回路等の回路ブロックを一体的に有する構成とすることも考えられる。これにより、さらに処理の高速化、効率化を図ることができる。

【0187】また、上述実施の形態においては、フレームメモリ123, 124を構成する4個のメモリブロックには、それぞれ左上、右上、左下、右下の各部分の画素データが記憶されるものを示したが、それぞれに記憶される画素データを、データ入力順、あるいは画素位置に応じた複数の位相に対応させてもよい。

【0188】また、図6に示す動きベクトル検出回路111では、探索フレームの画像データを蓄積するフレームメモリ124で差分絶対値を求める演算が行われ、このフレームメモリ124から複数の候補ブロックのそれぞれに対応する画素データ毎の差分絶対値を得るようにしたものであるが、この差分絶対値を求める演算回路をフレームメモリの外部に持つ構成であってもよい。

【0189】図34は、その場合における動きベクトル検出回路111Aの構成を示している。この図34において、図6と対応する部分には同一符号を付して示している。この動きベクトル検出回路111Aは、回路全体の動作を制御するコントローラ121と、画像データDiが入力される入力端子122と、参照フレームの画像データを蓄積するフレームメモリ123と、探索フレームの画像データを蓄積するフレームメモリ124Aとを有している。これらフレームメモリ123, 124Aの書き込み、読み出し等の動作は、コントローラ121によって制御される。

【0190】入力端子122からあるフレームの画像データがフレームメモリ123に供給されて書き込まれる際に、このフレームメモリ123に記憶されていた1フレーム前の画像データが読み出されてフレームメモリ124Aに供給されて書き込まれる。

【0191】コントローラ121の制御に基づき、フレームメモリ123から所定の参照ブロックの画素データが出力されるのに伴って、フレームメモリ124Aからは、当該参照ブロックに対応した探索範囲の複数の候補ブロックの画素データが順次出力される。

【0192】ここで、フレームメモリ123は、上述したように、例えば4個のメモリブロック191で構成され、各メモリブロックでは、任意の参照ブロックを構成する画素データを記憶している複数のメモリセル210を同時に選択でき、当該参照ブロックの画素データを同時に出力可能とされている（図29~図33参照）。詳細説明は省略するが、フレームメモリ124Aも、フレームメモリ123と同様に、例えば4個のメモリブロック191で構成され、各メモリブロックでは、任意の候補ブロックを構成する画素データを記憶している複数のメモリセル210を同時に選択でき、当該候補ブロックの画素データを同時に出力可能とされている。

【0193】また、動きベクトル検出回路111Aは、フレームメモリ123からの参照ブロックの画素データと、フレームメモリ124Aからの当該参照ブロックに対応した探索範囲の複数の候補ブロックの画素データと

を入力し、複数の候補ブロックのそれぞれに対し、この候補ブロックの画素データと参照ブロックの画素データとの差分絶対値を、対応する画素データ毎に演算して出力する演算回路130を有している。

【0194】また、動きベクトル検出回路111は、演算回路130より出力される、複数の候補ブロックのそれぞれに対応する画素データ毎の差分絶対値を累積する累積器126と、この累積器126で得られる複数の候補ブロックのそれぞれに対する累積値を相関値として格納する相関値テーブル127とを有している。

【0195】また、動きベクトル検出回路111は、相関値テーブル127に格納された複数の候補ブロックのそれぞれに対する相関値に基づいて動きベクトルMVを検出する判断回路128と、この判断回路128で検出された動きベクトルMVを出力する出力端子129とを有している。判断回路128では、最小の相関値を発生する候補ブロックの位置を、動きベクトルMVとして検出する。

【0196】図34に示す動きベクトル検出回路111の動作を説明する。入力端子122に入力される画像データDiはフレームメモリ123に供給され、参照フレームの画像データとして蓄積される。またこの際、フレームメモリ123に記憶されていた1フレーム前の画像データは、読み出されてフレームメモリ124Aに供給され、探索フレームの画像データとして蓄積される。

【0197】演算回路130には、フレームメモリ123から参照ブロックの画像データが読み出されて供給される。また、この演算回路130には、当該参照ブロックに対応した探索範囲の複数の候補ブロックの画素データが読み出されて供給される。そして、この演算回路130では、複数の候補ブロックのそれぞれに対し、この候補ブロックの画素データと参照ブロックの画素データとの差分絶対値が、対応する画素データ毎に演算されて出力される。

【0198】このように、演算回路130より出力される、複数の候補ブロックのそれぞれに対応する画素データ毎の差分絶対値は累積器126に順次供給されて累積される。この累積器126からの複数の候補ブロックのそれぞれに対する累積値は、相関値テーブル127に供給され、相関値として格納される。そして、判断回路128では、このように相関値テーブル127に格納された複数の候補ブロックのそれぞれに対する相関値に基づき、最小の相関値を発生する候補ブロックの位置が動きベクトルMVとして検出される。

【0199】フレームメモリ123から演算回路130には参照フレーム内の複数の参照ブロックの画素データが順次供給される。そして、各参照ブロックの画素データに対応して、フレームメモリ124から演算回路130には複数の候補ブロックの画素データ供給される。したがって、各参照ブロックに対応して、演算回路13

0、累積器126、相関値テーブル127および判断回路128では上述した動作が繰り返され、従って判断回路128では、各参照ブロックに対応した動きベクトルMVが順次検出される。このように、判断回路128で検出された動きベクトルMVは出力端子129に出力される。

【0200】このように、図34に示す動きベクトル検出回路111Aにおいても、図6に示す動きベクトル検出回路111と同様に、動きベクトルMVを良好に検出できる。

【0201】また、上述実施の形態においては、動きベクトル検出回路111、111Aでは、判断回路128で、差分絶対値の累積値（絶対値和）に基づいて動きベクトルMVを検出するものであったが、二乗和または絶対値のn乗和などに基づいて動きベクトルを検出するものも同様に構成することができる。その場合、図6に示す動きベクトル検出回路111では、フレームメモリ124から直接、差分の二乗値あるいは差分のn乗値を得るようにすればよく、一方図34に示す動きベクトル検出回路111Aでは、演算回路130で差分の二乗値あるいは差分のn乗値を演算すればよい。

【0202】また、上述実施の形態においては、この発明に係る半導体メモリ装置を、動きベクトル検出回路111（111A）、動き補償予測符号化装置100に適用したものを示したが、その他の装置にも同様に適用できることは勿論である。

【0203】

【発明の効果】この発明に係る半導体メモリ装置によれば、複数の選択線のそれぞれが複数の分割選択線からなるようにすると共に、各分割領域で同時に活性化される分割選択線を切り換える切り換え機構を設けるものであり、例えば画像データを構成する画素データをマトリクス状に配された複数のメモリセルに適切に配置しておくことで、矩形または十字形等の任意の形状の画素ブロックを構成する画素データを同時にアクセスでき、この画素ブロックを構成する画素データを一括、同時に処理することができ、また当該画素ブロックの位置を容易に変更できる。したがって、これら画素ブロックを構成する画素データを用いるデータ処理を高速かつ効率的に行うことが可能となる。

【0204】例えば、1つの分割セル選択線に対応する複数のメモリセルに、画像データを構成する垂直方向または水平方向の整数列分の画素データが記憶されることにより、上述の画素ブロックを、水平方向または垂直方向に整数画素単位で移動でき、それと直交する方向に1画素単位で移動できる。

【0205】また、この発明に係る半導体メモリ装置によれば、メモリブロックを構成するメモリセルに論理演算を行う演算機能部が含まれていると共に、このメモリブロックに演算データを用いて数値演算を行うための演

10

20

30

40

50

算補助セルを有するものであり、幅の広いデータ・バスを用いて処理回路にデータを伝送することなく、高速かつ効率的に所望の演算処理を行わせることができる。

【0206】また、この発明に係る半導体メモリ装置によれば、記憶データの書き込み、読み出しは、複数のビット線、複数のワード線を用いて行われ、演算データの出力は、複数の参照データ入力線、複数の演算データ出力線および複数のセル選択線を用いて行われるものであり、記憶データの書き込み、読み出しと、演算データの出力とを独立して行うことができ、全体としてより柔軟で効率的な処理が可能となる。

【0207】また、この発明に係る半導体メモリ装置によれば、複数のメモリブロックで構成されることで、必要なメモリブロックのみを活性化させて使用でき、消費電力を少なく抑えることができる。

【0208】また、この発明に係る半導体メモリ装置によれば、1個または2個以上のメモリブロックの他に、メモリブロックより出力される演算データに基づく処理を行う回路ブロックを有するものであり、さらに処理の高速化、効率化を図ることが可能となる。

【0209】また、この発明に係る動きベクトル検出装置および動き補償予測符号化装置は、この発明に係る半導体メモリ装置を用いるものであり、動きベクトル検出のための処理の高速化、効率化が図られる。動きベクトル検出のための処理の高速化、効率化が図られる。

【図面の簡単な説明】

【図1】実施の形態としての動き補償予測符号化装置の構成を示すブロック図である。

【図2】動き検出のためのブロックマッチング法を説明するための図である。

【図3】動き検出のためのブロックマッチング法を説明するための図である。

【図4】動き検出のためのブロックマッチング法を説明するための図である。

【図5】動き検出のためのブロックマッチング法を説明するための図である。

【図6】動きベクトル検出回路の構成を示すブロック図である。

【図7】探索フレームの画像データを蓄積するフレームメモリ（探索フレームメモリ）の構成を示す図である。

【図8】探索フレームメモリを構成する各メモリブロック間の画素データの重複を説明するための図である。

【図9】探索フレームメモリを構成するメモリブロックの構成例を示す図である。

【図10】探索フレームメモリを構成するメモリブロックの構成例を示す図である。

【図11】探索フレームメモリを構成するメモリブロックの他の構成例を示す図である。

【図12】探索フレームメモリを構成するメモリブロックの他の構成例を示す図である。

【図13】SRAMセルの構成を示す図である。

【図14】DRAMセルの構成を示す図である。

【図15】演算機能部を有するメモリセルの構成を示す図である。

【図16】演算機能部を有する他のメモリセルの構成を示す図である。

【図17】演算機能部を有する他のメモリセルの構成を示す図である。

【図18】演算機能部を有するさらに他のメモリセルの構成を示す図である。

【図19】加算、減算用の演算補助セルの構成を示す図である。

【図20】差分絶対値演算用の演算補助セルの構成を示す図である。

【図21】差分絶対値を得るための演算補助セル（1画素データ分）の構成を示す図である。

【図22】探索フレームの画素データとメモリ・セル・アレイ内の記憶位置を示す図である。

【図23】分割セル選択線の切り換え機構の構成例を示す図である。

【図24】探索フレームの画素データとメモリ・セル・アレイ内の記憶位置を示す図である。

【図25】探索フレームの画素データとメモリ・セル・アレイ内の記憶位置を示す図である。

【図26】探索フレームの画素データとメモリ・セル・アレイ内の記憶位置を示す図である。

【図27】分割セル選択線の切り換え機構の他の構成例を示す図である。

【図28】分割セル選択線の切り換え機構のさらに他の構成例を示す図である。

【図29】参照フレームの画像データを蓄積するフレームメモリ（参照フレームメモリ）の構成を示す図である。

【図30】参照フレームメモリを構成するメモリブロックの構成例を示す図である。

【図31】参照フレームメモリを構成するメモリブロックの構成例を示す図である。

【図32】参照フレームの画素データとメモリ・セル・アレイ内の記憶位置を示す図である。

【図33】分割ワード線の切り換え機構の構成例を示す図である。

【図34】動きベクトル検出回路の他の構成を示すブロック図である。

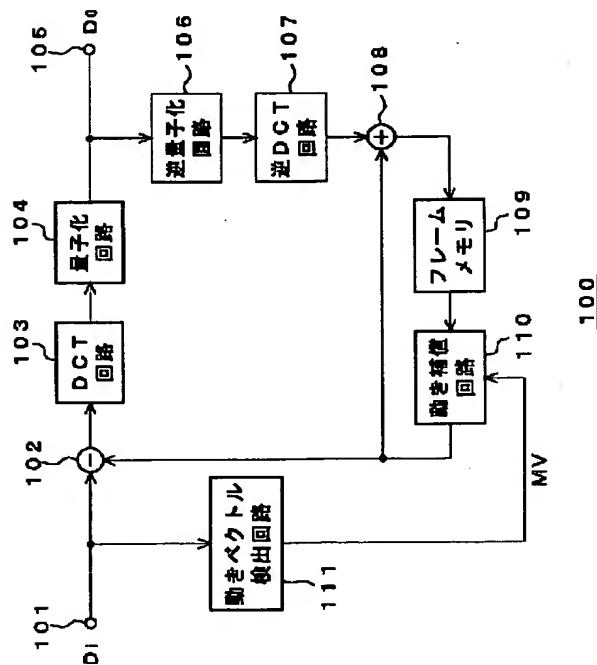
【符号の説明】

100・・・動き補償予測符号化装置、101・・・入力端子、102・・・減算器、103・・・DCT回路、104・・・量子化回路、105・・・出力端子、106・・・逆量子化回路、107・・・逆DCT回路、108・・・加算器、109・・・フレームメモリ、110・・・動き補償回路、111・・・動きベク

トル検出回路、121・・・コントローラ、122・・・入力端子、123、124・・・フレームメモリ、125、125a～125d・・・メモリブロック、126・・・累積器、127・・・相関値テーブル、128・・・判断回路、129・・・出力端子、130・・・演算回路、131・・・メモリ・セル・アレイ、131a～131e・・・分割領域、132・・・記憶データ入出力用ポート、132a・・・記憶データ用カラム・アドレス・デコーダ、132b・・・I/Oバッファ、132c・・・アドレス・バッファ、133・・・記憶データ用ロウ・アドレス・デコーダ、133a・・・アドレス・バッファ、134・・・参照データ入力用ポート&演算補助セル、134a・・・参照データ用カラム*

【図1】

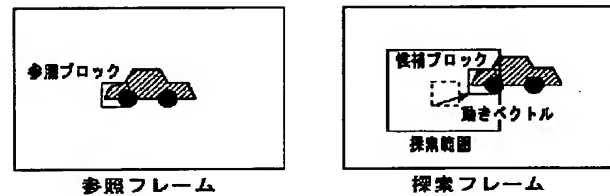
動き補償予測符号化装置



*・アドレス・デコーダ、134b・・・アドレス・バッファ、134c・・・I/Oバッファ、134d・・・演算補助セル、135・・・参照データ用ロウ・アドレス・デコーダ、135a・・・アドレス・バッファ、136・・・制御回路、140・・・メモリセル、141・・・メモリセル部、150・・・演算補助セル、170・・・演算補助セル、180、180A、180B・・・切り換え機構、191、191a～191e・・・メモリブロック、201・・・メモリ・セル・アレイ、202・・・記憶データ入出力用ポート、203・・・記憶データ用ロウ・アドレス・デコーダ、204・・・制御回路、210・・・メモリセル、220・・・切り換え機構

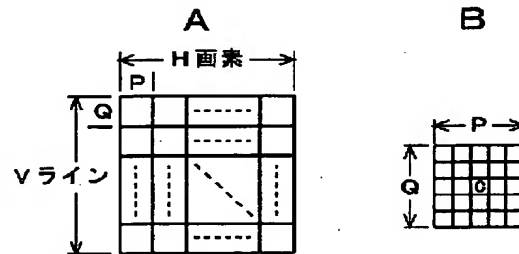
【図2】

ブロックマッチング法



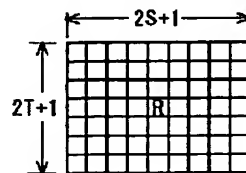
【図3】

ブロックマッチング法



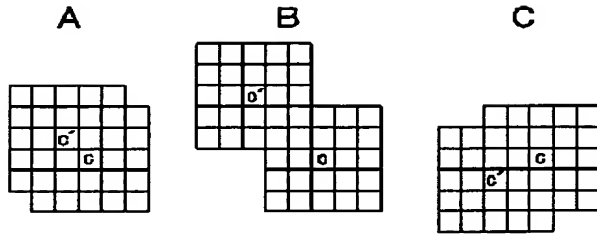
【図5】

ブロックマッチング法



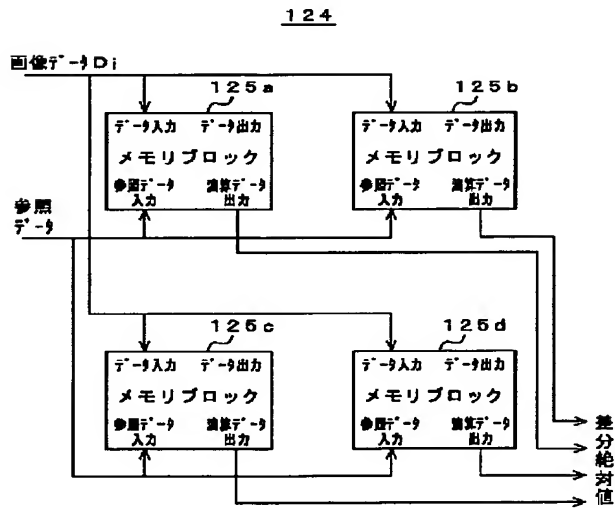
【図4】

ブロックマッチング法



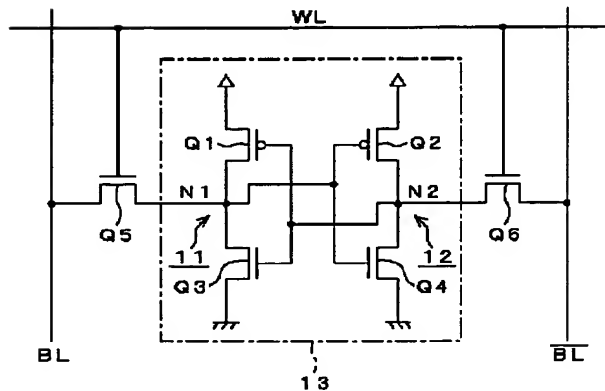
【図7】

探索フレームメモリ



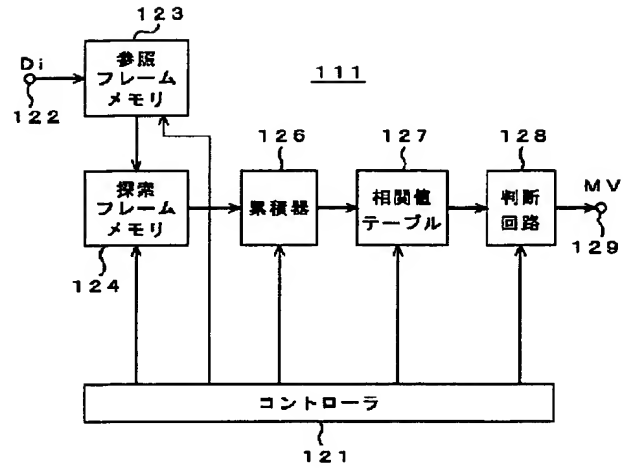
【図13】

SRAMセル



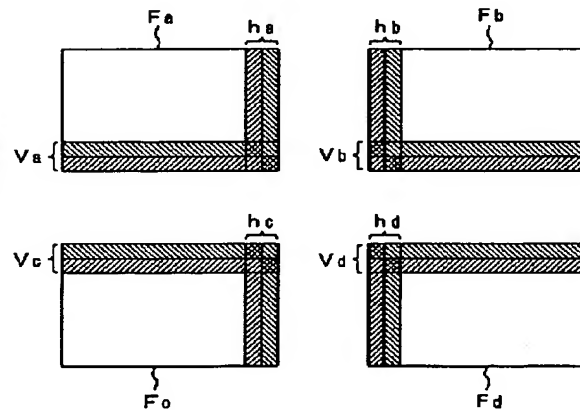
【図6】

動きベクトル検出回路



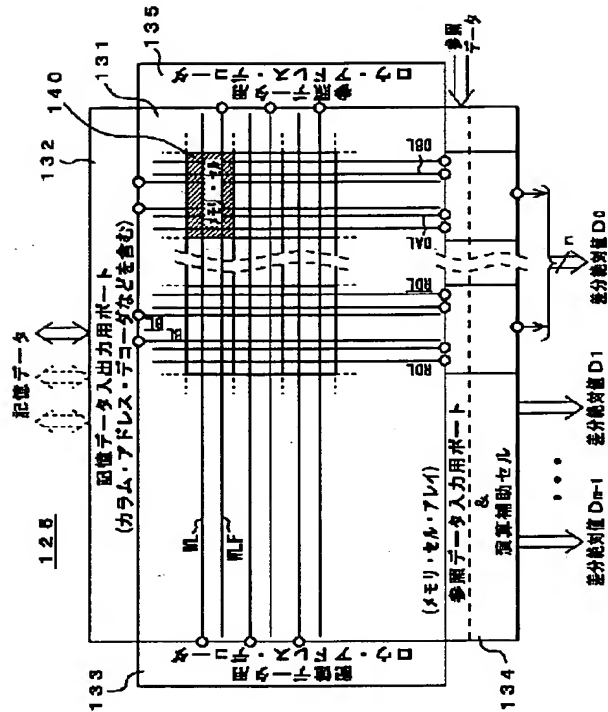
【図8】

メモリブロック間の画素データの重複



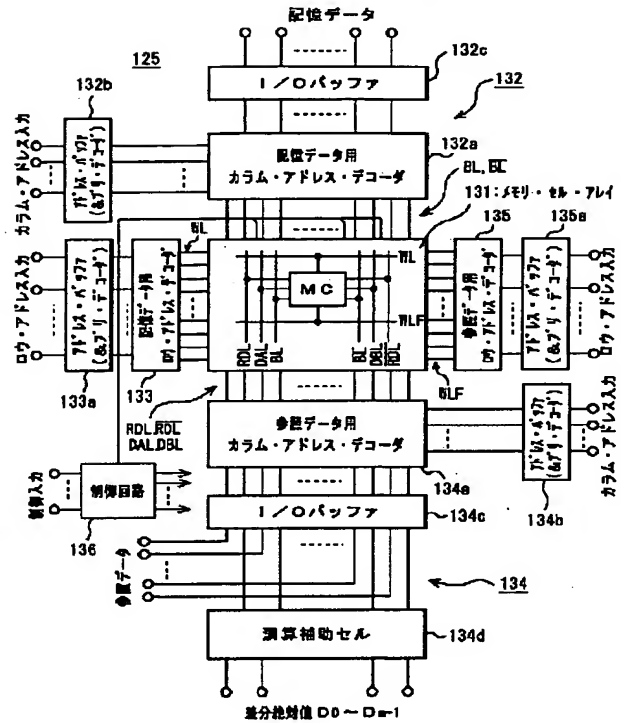
【図9】

メモリブロックの構成例



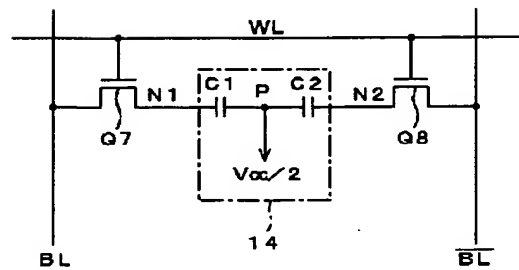
【図10】

メモリブロックの構成例



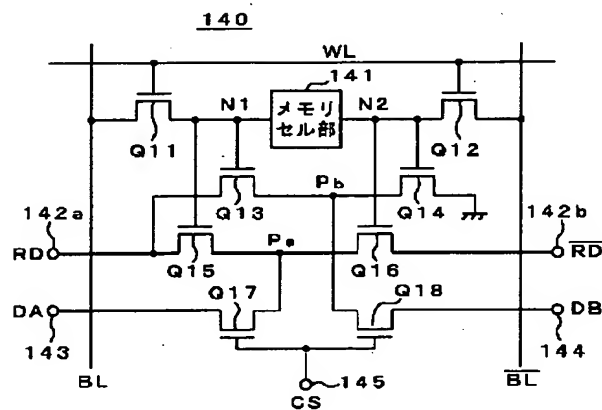
【図14】

DRAMセル



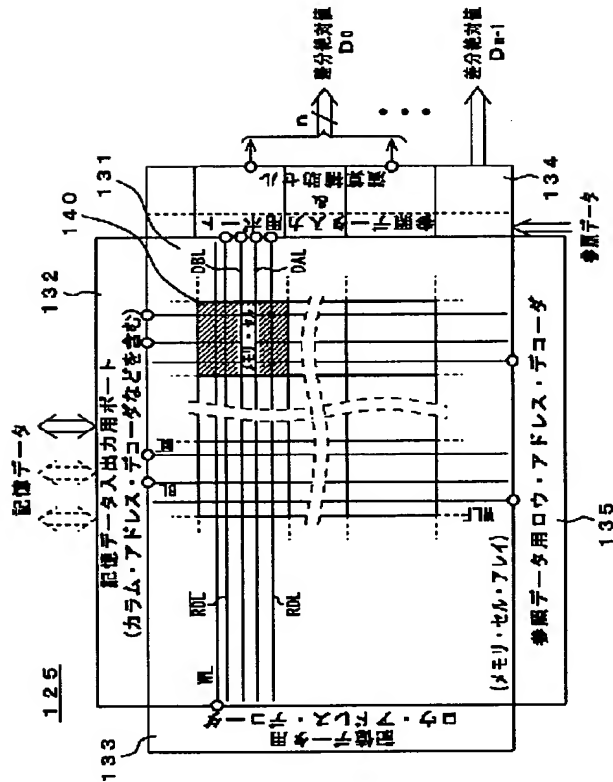
【図15】

メモリセル(E x -NOR, AND)



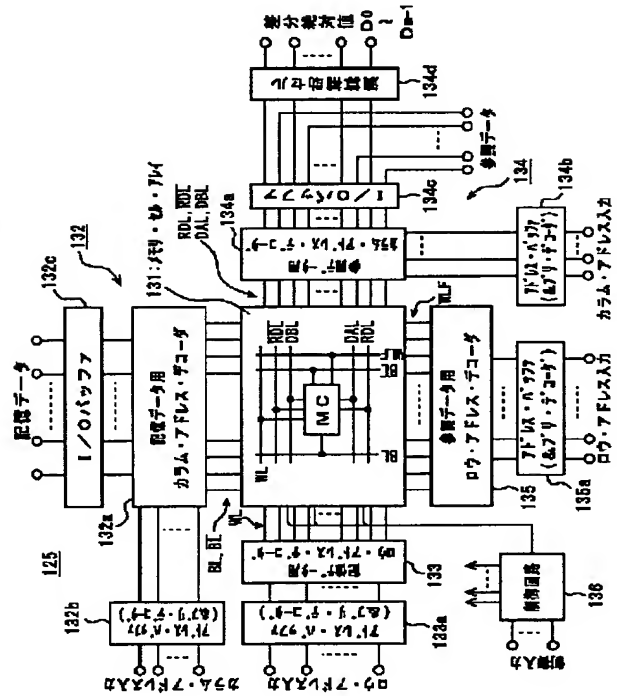
【図11】

メモリブロックの構成例



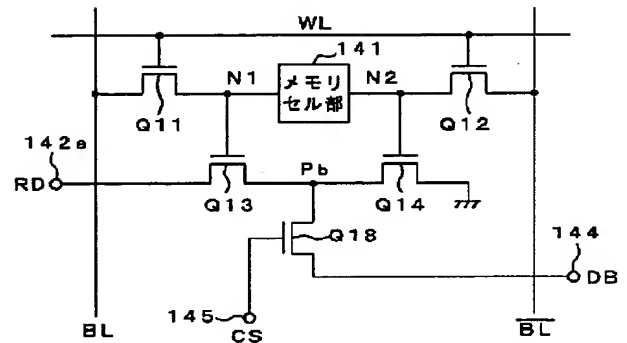
【図12】

メモリブロックの構成例



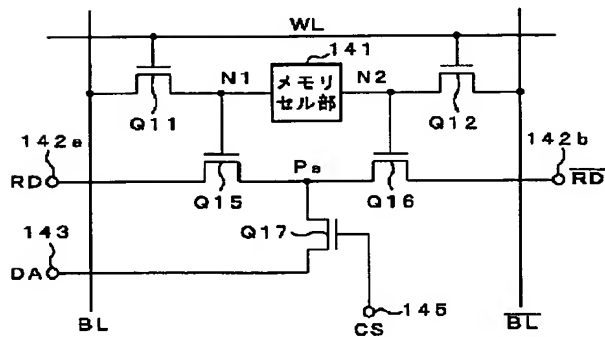
【図17】

メモリセル(AND)



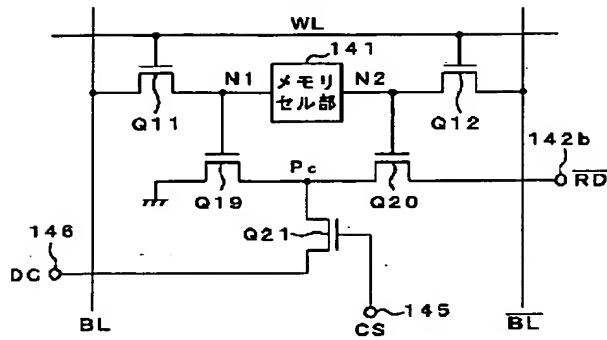
【図16】

メモリセル(Ex-NOR)



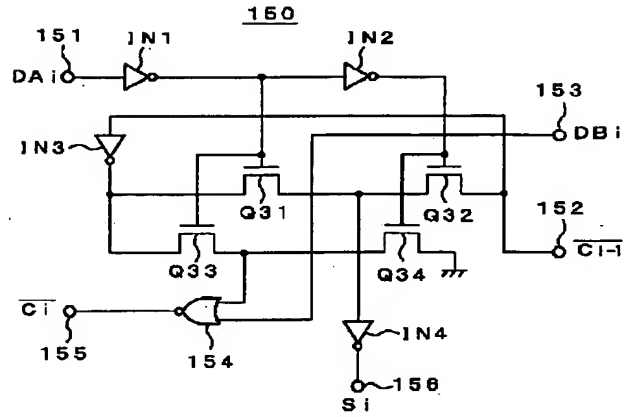
【図18】

メモリセル(NOR)



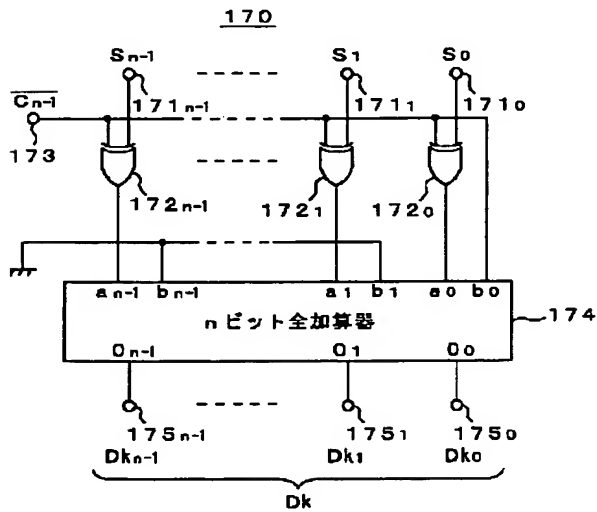
【図19】

演算補助セル(加算、減算用)

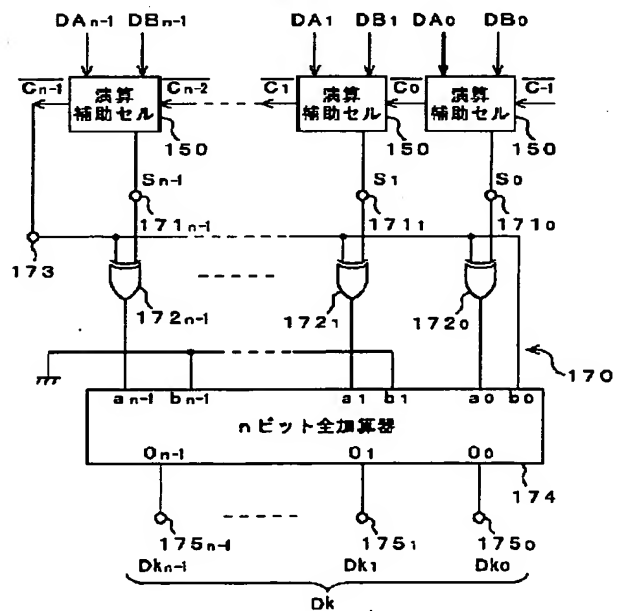


【図20】

演算補助セル(差分絶対値演算用)

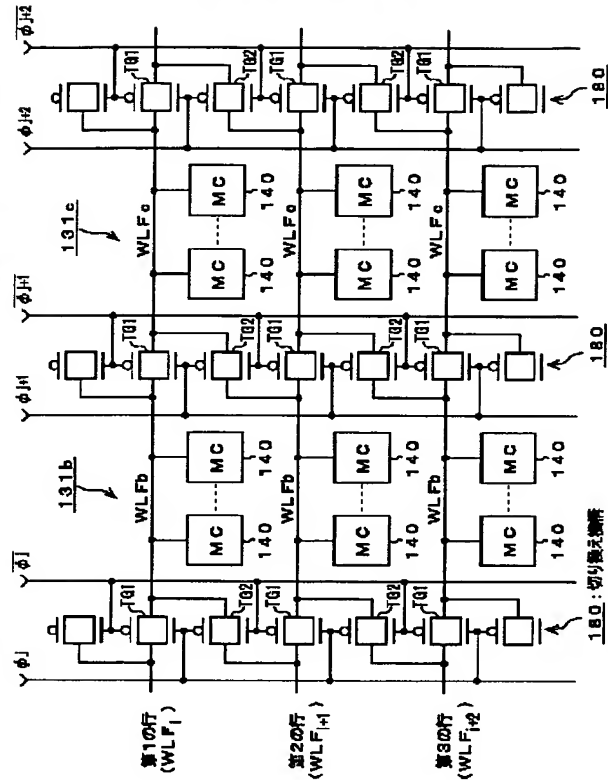


【図21】

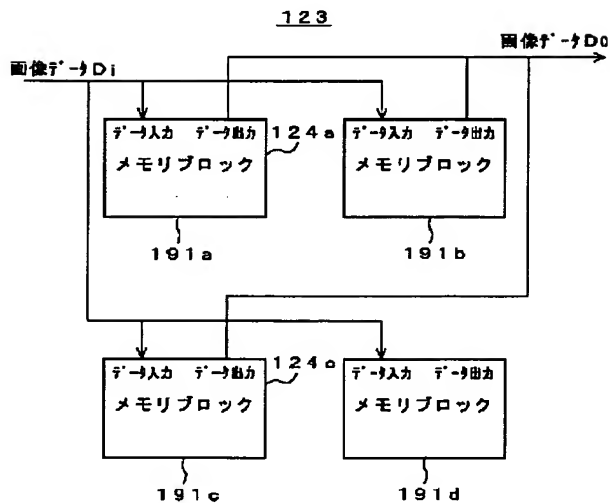
差分絶対値を得るための演算補助セル
(1画素データ分)

【図23】

切り換え機構

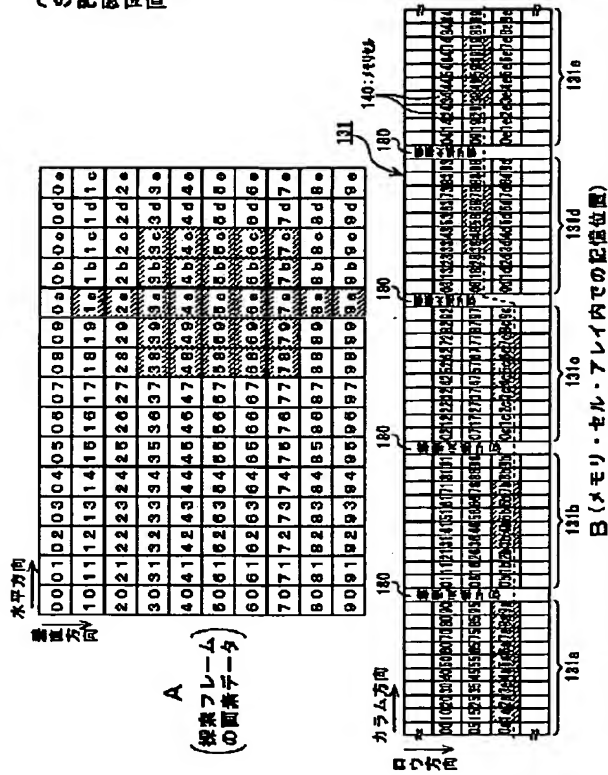


参照フレームメモリ



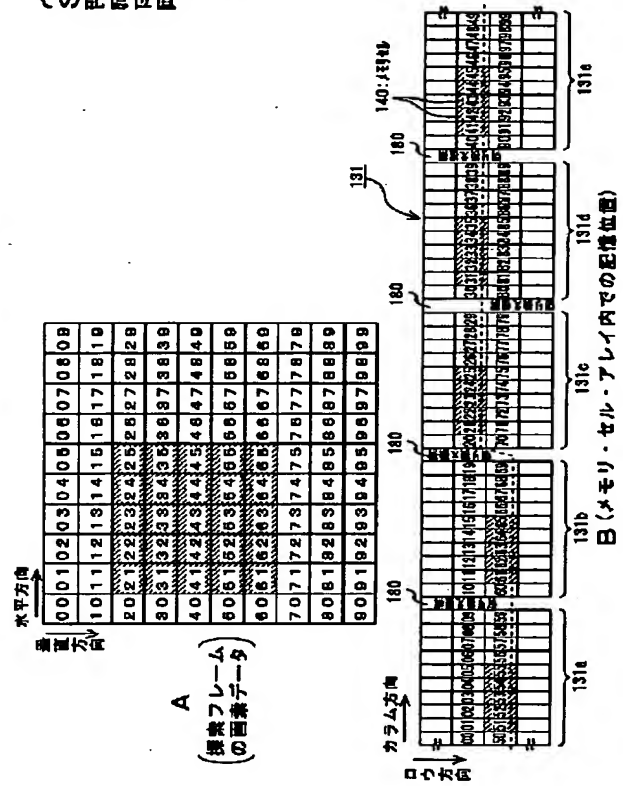
【図24】

探索フレームの画素データとメモリ・セル・アレイ内での記憶位置



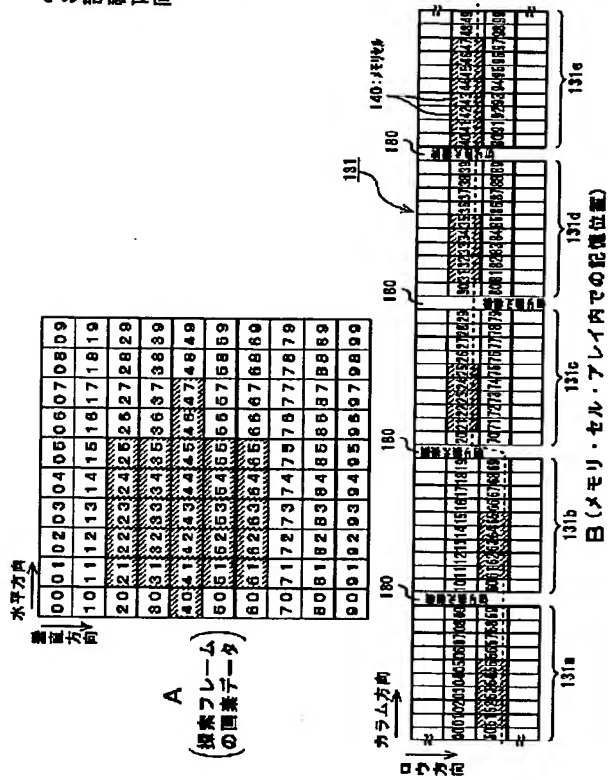
【図25】

探索フレームの画素データとメモリ・セル・アレイ内での記憶位置



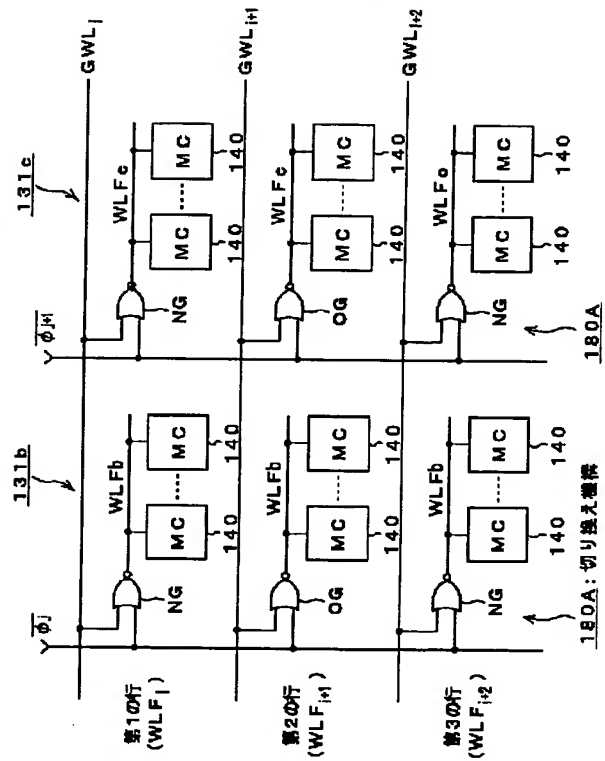
【図26】

探索フレームの画素データとメモリ・セル・アレイ内での記憶位置



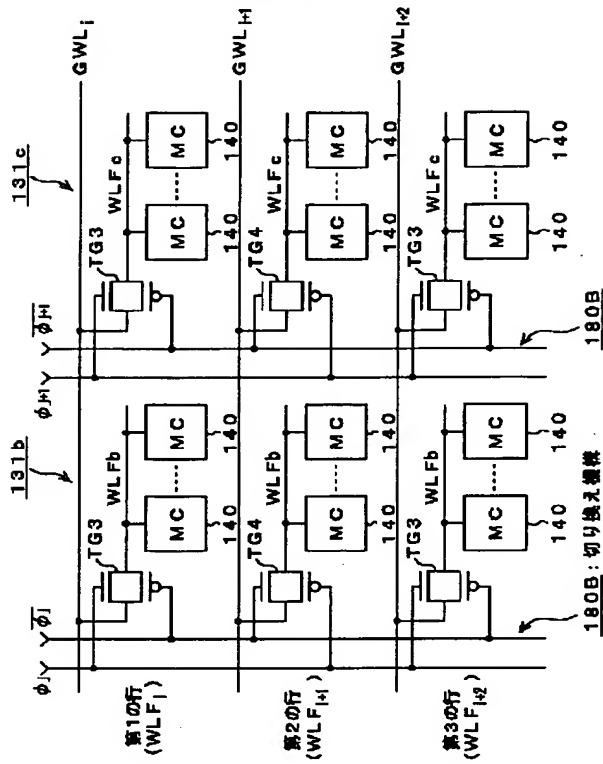
【図27】

切り換え機構



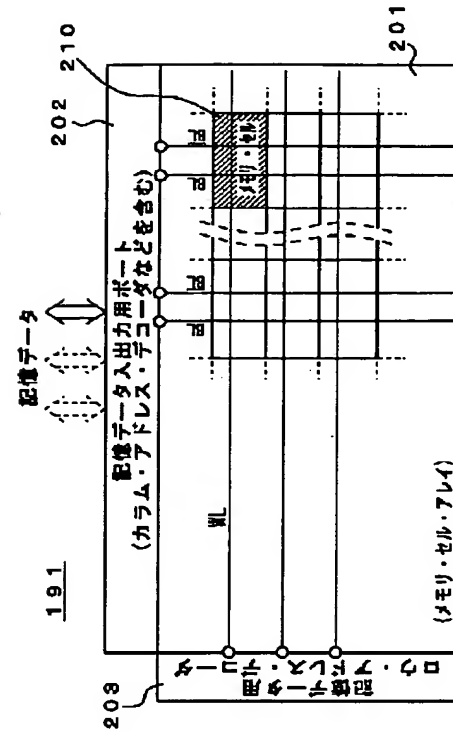
【図28】

切り換え機構



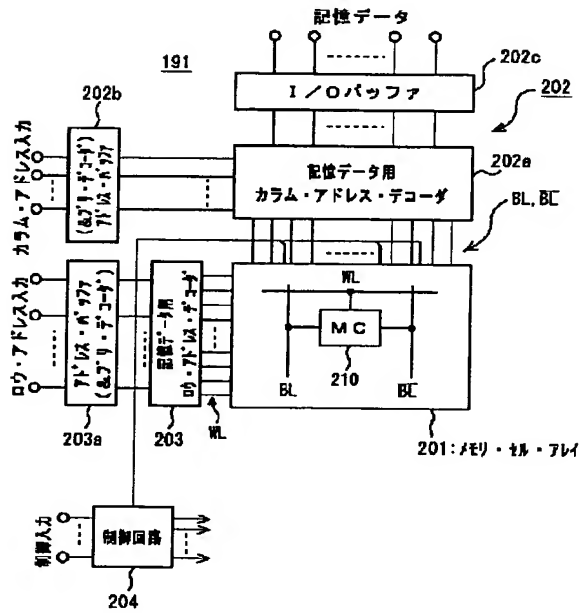
【図30】

メモリブロックの構成例



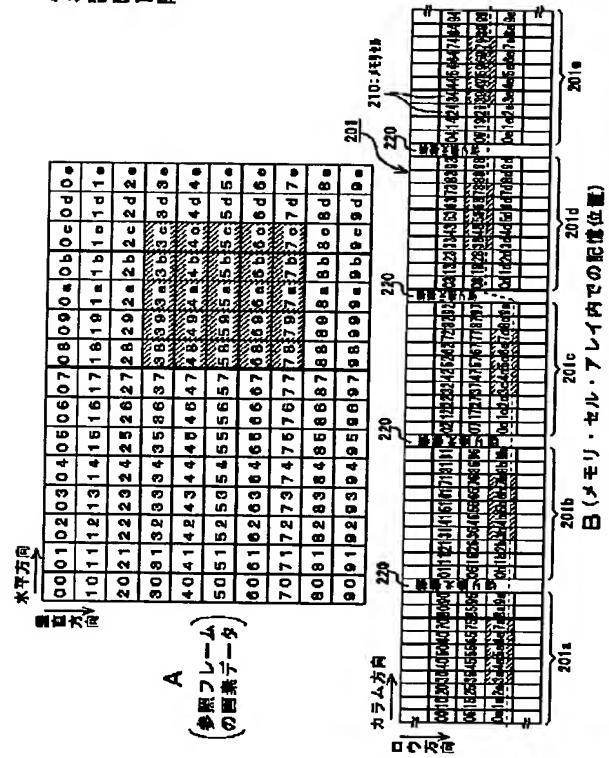
【図31】

メモリブロックの構成例



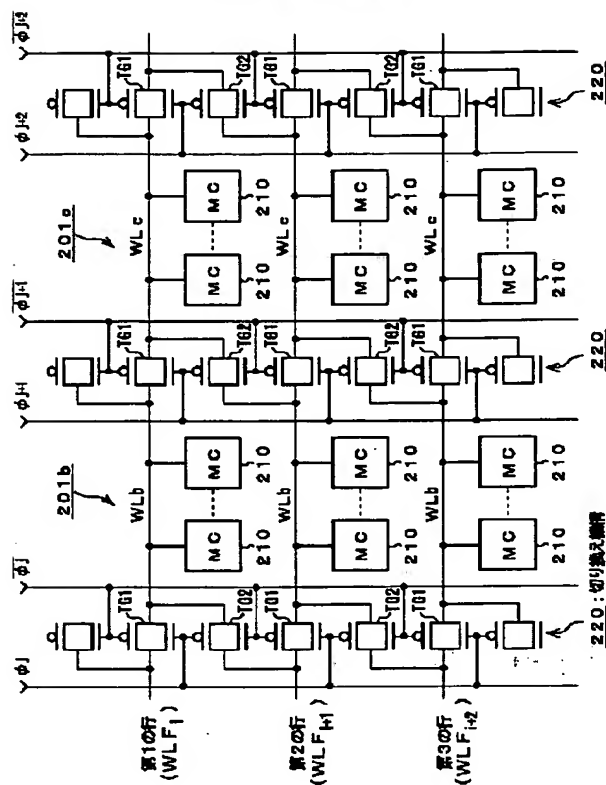
【図32】

参照フレームの画素データとメモリ・セル・アレイ内での記憶位置



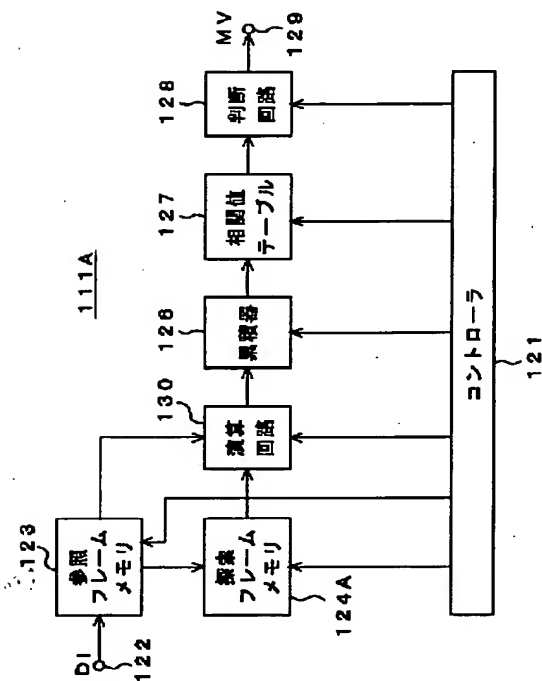
【図33】

切り換え機構



【図34】

動きベクトル検出回路



フロントページの続き

(72)発明者 野出 泰史
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

Fターム(参考) 5B015 HH01 HH03 JJ03 JJ21 KA13
PP01 PP08
5C059 KK13 KK50 LC04 MA05 MA23
MC11 NN01 PP04 SS11 TA62
TB08 TC02 TD02 TD05 TD06
TD11 TD15 UA02 UA33
5J064 AA02 AA03 BA16 BB01 BB03
BC01 BC03 BC16

THIS PAGE BLANK (USPTO)